

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097774

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H04B 10/08

(21)Application number : 06-234913

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.09.1994

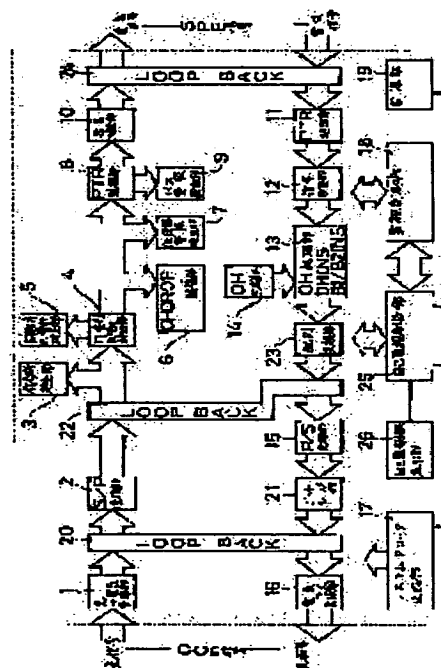
(72)Inventor : SAKAI TOSHIHARU
NAKAMURA YOSHINORI
UMEGAKI TAKASHI
IGUCHI NOBUO
HAGINO YOSHINORI
MORI HIROAKI
OTA TOSHIKAZU
OKA AKIHIKO
TAKATSU KAZUHISA
NEMOTO MASAYUKI

(54) OPTICAL TERMINAL STATION EQUIPMENT WITH SELF-MONITOR FUNCTION

(57)Abstract:

PURPOSE: To allow the terminal equipment to check various functions independently of a network through self-monitor in the optical terminal station equipment provided at the end of a transmission line in an optical synchronization network.

CONSTITUTION: The equipment is provided with a high-order group loopback section 20 making loopback of a serial electric signal at its own station, a low-order group loopback section 22 making loopback of a parallel electric signal at its own station, a self-loop section 24 looping back directly an electric signal received by a receiver to a transmitter, and a self-monitor control section 25 using either of the high-order group loopback section 20, the low-order group loopback section 22 and the self-loop section 24 to apply self-monitor-test to each section of the receiver and the transmitter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開平 8 - 9 7 7 7 4

(43)公開日 平成8年(1996)4月12日

(51) Int. Cl. ⁶

H04B 10/08

識別記号

庁内整理番号

F I

H04B 9/00

技術表示箇所

K

審査請求 未請求 請求項の数10 OL (全48頁)

(21)出願番号 特願平6-234913

(22) 出願日 平成6年(1994)9月29日

(71)出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 酒井 敏晴

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会社
社内

(72) 発明者 中村 善律

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会社
社内

(74) 代理人 弁理士 野河 信太郎

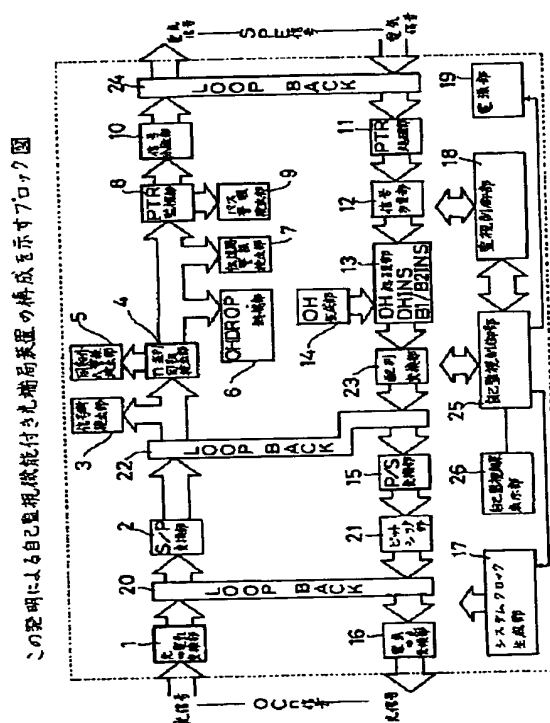
最終頁に続く

(54)【発明の名称】自己監視機能付き光端局装置

(57) 【要約】

【目的】 光同期網における伝送路の終端に設けられる光端局装置に関し、自己監視により、ネットワークに依存せず独自に各機能のチェックを行う。

【構成】 シリアル電気信号の自局折り返しを行う高次群ループバック部と、パラレル電気信号の自局折り返しを行う低次群ループバック部と、受信装置と送信装置とを接続し、それによって受信装置で受信した電気信号を送信装置に直接折り返す自己ループ部と、高次群ループバック部と低次群ループバック部とのいずれか一方のループバック部と、自己ループ部とを用いて、受信装置と送信装置の各部に対して自己監視試験を行う自己監視制御部を備える。



【特許請求の範囲】

【請求項 1】 光信号を受信して電気信号に変換する光／電気変換部、その変換された電気信号をパラレルに変換する S／P 変換部、および、パラレルの電気信号が正常信号であるのか否かを検出した後、低次の信号に分離して出力する信号状態検出部からなる受信手段と、低次の電気信号に対してクロックの乗り換えを行って、高次の信号に多重する信号生成部、信号生成部によって生成された電気信号をシリアルに変換する P／S 変換部、および、シリアル電気信号を光信号に変換して送信する電気／光変換部からなる送信手段と、受信手段と送信手段を動作させるためのシステムクロックを発生するシステムクロック生成部と、受信手段と送信手段の制御および警報監視を行う監視制御部と、受信手段、送信手段、システムクロック生成部および監視制御部に電源を供給する電源部からなる光端局装置であって、送信手段の P／S 変換部と受信手段の S／P 変換部とを接続し、それによってシリアル電気信号の自局折り返しを行う高次群ループバック部と、送信手段の信号生成部と受信手段の信号状態検出部とを接続し、それによってパラレル電気信号の自局折り返しを行う低次群ループバック部と、受信手段の信号状態検出部と送信手段の信号生成部とを接続し、それによって受信手段で受信した電気信号を送信手段に直接折り返す自己ループ部と、高次群ループバック部と低次群ループバック部とのいずれか一方のループバック部と、自己ループ部とを用いて、受信手段と送信手段の各部に対して自己監視試験を行う自己監視制御部を備えてなる自己監視機能付き光端局装置。

【請求項 2】 送信手段の P／S 変換部と高次群ループバック部との間に設けられ、P／S 変換部によって変換された信号を 1 ビット分シフトさせるビットシフト部をさらに備えてなる請求項 1 記載の自己監視機能付き光端局装置。

【請求項 3】 送信手段の信号生成部と低次群ループバック部との間に設けられ、信号生成部によって生成された信号に対して信号の入れ替えを行う配列変換部をさらに備えてなる請求項 1 記載の自己監視機能付き光端局装置。

【請求項 4】 自己監視制御部による自己監視試験が、電源の立ち上げ時に自動的に開始されるか、あるいは監視制御部により任意の時期に開始されることを特徴とする請求項 1 記載の自己監視機能付き光端局装置。

【請求項 5】 自己監視制御部による自己監視試験中は、送信手段からの光出力が停止されることを特徴とする請求項 1 記載の自己監視機能付き光端局装置。

【請求項 6】 自己監視制御部による自己監視試験が、高次群ループバック部を用いた試験から低次群ループバック部を用いた試験へと順次行われることを特徴とする

請求項 1 記載の自己監視機能付き光端局装置。

【請求項 7】 自己監視制御部による自己監視試験の試験状態および試験結果を表示する表示部をさらに備えてなる請求項 1 記載の自己監視機能付き光端局装置。

【請求項 8】 自己監視制御部による自己監視試験において、システムクロック生成部から発生されるシステムクロックの周波数を速くすることにより、動作マージンの余裕度をチェックすることを特徴とする請求項 1 記載の自己監視機能付き光端局装置。

10 【請求項 9】 自己監視制御部による自己監視試験において、電源部から供給される電源の電圧を変動させることにより、動作マージンの余裕度をチェックすることを特徴とする請求項 1 記載の自己監視機能付き光端局装置。

20 【請求項 10】 受信手段と送信手段が複数のチャネルからなり、自己監視制御部による自己監視試験において、それらの複数のチャネルをタンデム接続し、そのタンデム接続したチャネルに PN 信号を通すことにより、各チャネルの試験を行うことを特徴とする請求項 1 記載の自己監視機能付き光端局装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、光同期網における伝送路の終端に設けられる光伝送路終端装置、いわゆる光端局装置に関する。

【0002】

30 【従来の技術】 近年、光ファイバーの発達により、光通信ネットワークが急速に拡大されてきている。また、光ファイバーの特性向上により、より高速度の通信への要求が高まっており、それに伴い、光端局装置も、より高機能なものが要求されてきている。

【0003】 このため、従来よりも高機能、高集積化した装置の設置及び保守において、細部のチェックが困難となりつつあり、装置の立ち上げや保守に多くの時間や労力を必要としている。

40 【0004】 従来のこの種の光端局装置においては、装置の立ち上げや保守に際しては、光ファイバーケーブルの自局折り返しによる主な機能のみの簡単な確認を行うか、光端局装置 2 台による対向試験 (Test) により確認を行うか、あるいは専用治具を接続して機能の確認を行っていた。

【0005】

【発明が解決しようとする課題】 ところが、伝送速度の高速化に伴って装置の高集積化が進んだため、装置全体の機能を確認するには、装置の各機能を単体 (例えばプリント板、モジュール、LSI 等) 毎に別々の治具を用いて確認する必要があるが生じてきた。しかし、装置の各機能を単体毎にチェックすることは装置を分解することとなり、現実的な方法ではない。また、多大な時間と労力を必要とする。

【0006】このように、従来の光端局装置では、高機能、高集積化が進んだため、装置の立ち上げや保守に際して、装置内の細部にわたる機能のチェックができないという問題があった。

【0007】この発明は、このような事情を考慮してなされたもので、ネットワークに依存せず、かつ装置を分解することなく、従来できなかった光端局装置の機能および性能のチェックを行うことにより、光端局装置の立ち上げや保守にかかる時間および労力を大幅に縮減するようにした光端局装置を提供するものである。

【0008】

【課題を解決するための手段および作用】この発明は、光信号を受信して電気信号に変換する光／電気変換部、その変換された電気信号をパラレルに変換するS／P変換部、および、パラレルの電気信号が正常信号であるのか否かを検出した後、低次の信号に分離して出力する信号状態検出部からなる受信手段と、低次の電気信号に対してクロックの乗り換えを行って、高次の信号に多重する信号生成部、信号生成部によって生成された電気信号をシリアルに変換するP／S変換部、および、シリアル
10 の電気信号を光信号に変換して送信する電気／光変換部からなる送信手段と、受信手段と送信手段を作動させるためのシステムクロックを発生するシステムクロック生成部と、受信手段と送信手段の制御および警報監視を行う監視制御部と、受信手段、送信手段、システムクロック生成部および監視制御部に電源を供給する電源部からなる光端局装置であって、送信手段のP／S変換部と受信手段のS／P変換部とを接続し、それによってシリアル電気信号の自局折り返しを行う高次群ループバック部
20 と、送信手段の信号生成部と受信手段の信号状態検出部とを接続し、それによってパラレル電気信号の自局折り返しを行う低次群ループバック部と、受信手段の信号状態検出部と送信手段の信号生成部とを接続し、それによって受信手段で受信した電気信号を送信手段に直接折り返す自己ループ部と、高次群ループバック部と低次群ループバック部とのいずれか一方のループバック部と、自己ループ部とを用いて、受信手段と送信手段の各部に対して自己監視試験を行う自己監視制御部を備えてなる自己監視機能付き光端局装置である。

【0009】この発明によれば、光端局装置内に、高次群ループバック部と低次群ループバック部と自己ループ部と自己監視制御部を組み込んで、光端局装置内で、受信手段と送信手段の各部の機能を試験するようにしたので、外部のネットワークに依存せず、かつ装置を分解することなく、各部の機能をチェックすることができ、光端局装置の立ち上げや保守にかかる時間および労力を大幅に縮減することが可能となる。

【0010】上記構成においては、送信手段のP／S変換部と高次群ループバック部との間に、P／S変換部によって変換された信号を1ビット分シフトさせるビット

シフト部を設けることが好ましく、これにより、同期検出および解除の試験を容易に行うことができる。

【0011】また、上記構成においては、送信手段の信号生成部と低次群ループバック部との間に、信号生成部によって生成された信号に対して信号の入れ替えを行う配列変換部を設けることが好ましく、これにより、並列信号の同期試験を容易に行うことができる。

【0012】さらに、上記構成においては、自己監視制御部による自己監視試験が、電源の立ち上げ時に自動的に開始されるか、あるいは監視制御部により任意の時期に開始されることが好ましく、これにより、常時、あるいは任意の時に装置の試験を行うことができるので、装置をより良い状態で使用することが可能となり、保守も容易となる。

【0013】そして、上記構成においては、自己監視制御部による自己監視試験中は、送信手段からの光出力が停止されることが好ましく、これにより、保守者へのレーザー光線による安全性を確保することができる。

【0014】また、上記構成においては、自己監視制御部による自己監視試験が、高次群ループバック部を用いた試験から低次群ループバック部を用いた試験へと順次行われることが好ましく、これにより、各部の故障診断に際して、高次群から低次群へと段階を経て故障箇所を絞ることができる。

【0015】さらに、上記構成においては、自己監視制御部による自己監視試験の試験状態および試験結果を表示する表示部を備えることが好ましく、これにより、試験前、試験中、試験正常終了、試験異常終了等を表示することができる。

【0016】そして、上記構成においては、自己監視制御部による自己監視試験において、システムクロック生成部から発生されるシステムクロックの周波数を速くすることにより、動作マージンの余裕度をチェックすることが好ましい。

【0017】また、上記構成においては、自己監視制御部による自己監視試験において、電源部から供給される電源の電圧を変動させることにより、動作マージンの余裕度をチェックすることが好ましい。

【0018】さらに、上記構成においては、受信手段と送信手段が複数のチャネルからなり、自己監視制御部による自己監視試験において、それらの複数のチャネルをタンデム接続し、そのタンデム接続したチャネルにPN信号を通すことにより、各チャネルの試験を行うことが好ましく、これにより、複数のチャネルを一度にチェックすることが可能となる。

【0019】

【実施例】以下、図面に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0020】図1はこの発明による自己監視機能付き光

端局装置の一実施例の構成を示すブロック図である。まず、この図における各ブロックの説明を行う。1は光／電気変換部であり、光信号(OCn)を電気信号(STS-n)に変換する。2はS/P変換部であり、STS-nの高速電気信号をシリアル・パラレル変換して低速の並列信号とし、以降の処理において低速動作素子の使用を可能とする。

【0021】3は信号断(ロスオブシグナル: Loss Of Sigal)検出部であり、受信信号が断(LOS: Loss Of Sigal)状態であることを検出する。4はn並列同期検出部であり、S/P変換部2で並列化された受信信号に対しフレームパターン検出によりフレーム同期をとる。

【0022】5は同期外れ(ロスオブフレーム: Loss Of Frame)警報(アラーム: Alarm)検出部であり、n並列同期検出部4でのフレーム同期検出における同期外れ(LOF: Loss Of Frame)警報を検出する。6はオーバーヘッドドロップ(OH DROP)・終端部である。このオーバーヘッドドロップ・終端部は、オーバーヘッドドロップ(OH DROP)部からなり、STS-nフレームフォーマット中のSOH(セクションオーバーヘッド: Section Over Head)信号を抽出する。

【0023】7は伝送路警報検出部であり、エラーメジャー/マイナー(ERR MAJ/MIN: Error Major/Minor)、ラインアラームインジケーションシグナル(LAIS: Line Alarm Indication Signal)、およびファアエンドレシーブフェイラー(FERF: Far End Receive Failure)警報の各検出を行う検出部から構成される。8はPTR(ポインター: Pointer)監視部であり、SOH中のH1、H2バイトによるVC(Virtual Container)先頭タイミングの検出および監視を行う。

【0024】9はパス警報検出部であり、LOP(Loss of Pointer)、PAIS(Path Alarm Indication Signal)、UNEQ(UNEquipment)警報の各検出を行う検出部から構成される。10は信号分離部であり、STS-n信号をSTS-1相当の信号(SPE信号)毎に分離する。

【0025】上記の光／電気変換部1、S/P変換部2、信号断警報検出部3、n並列同期検出部4、同期外れ警報検出部5、オーバーヘッドドロップ・終端部6、伝送路警報検出部7、PTR監視部8、パス警報検出部9および信号分離部10から受信装置が構成される。

【0026】11はPTR処理部でありSPE信号ごとに送信CLK(クロック: clock)に乗り換えを行うとともに、ポインター値の変更を行う。12は信号多重部であり、SEP信号をSTS-n信号に変換する。13はOH(オーバーヘッド: Over Head)処理部であり、後述するSOH信号の挿入を行うOH挿入(OH INS)部とパリティの演算を行うパリティ演算部から主と

して構成されている。14はOH生成部であり、SOH信号を生成する。

【0027】15はP/S変換部であり、パラレル・シリアル変換を行って、並列低速信号をSTS-nの高速信号(シリアル信号)に変換する。16は電気／光変換部であり、STS-nの電気信号をOC-nの光信号に変換する。上記のPTR処理部11、信号多重部12、OH処理部13、OH生成部14、P/S変換部15および電気／光変換部16から送信装置が構成される。

【0028】17はシステムクロック生成部であり、受信装置と送信装置からなる装置を動作させるためのシステムクロックを発生する。18は監視制御部であり、受信装置と送信装置からなる装置の制御や警報監視をマイクロコンピュータにより行う。19は電源部であり、受信装置と送信装置からなる装置全体に電源を供給する。

【0029】20は高次群ループバック(LOOP BACK)部であり、STS-nの高速信号用の自局折り返しを可能とする。21はP/S変換部15と電気／光変換部16との間に設けられたビット(bit)シフト部であり、P/S変換部15によって変換された信号を1ビット分シフトさせることにより、STS-nの高速信号に対し、1ビット分のビットずれを発生させる。

【0030】22は低次群ループバック部であり、STS-nの並列信号に対し、自局折り返しを可能とする。23はOH処理部13とP/S変換部15との間に設けられた配列変換部であり、OH処理部13によってOHの付加された並列信号に対してフレームパターンの異なる信号に入れ替えるという信号の入れ替えを行う。

【0031】24は自己ループ部であり、受信装置から出力された信号が送信装置に送られるように受信装置と送信装置とを接続し、それによってSPE信号に対し折り返し機能を行う。

【0032】25は自己監視制御部であり、高次群ループバック部20と低次群ループバック部22とのいずれか一方のループバック部と自己ループ部24とを用いて、受信装置と送信装置の各部(各ブロック)の機能に対して自己監視試験の制御を行う。

【0033】26は自己監視結果表示部であり、自己監視制御部25の自己監視試験における試験結果を、例えばLEDのようなランプにより表示する。この自己監視結果表示部26により、試験前、試験中、試験の正常終了、試験の異常終了などの各状態を表示する。

【0034】自己監視制御部25による光端局装置の自己監視試験は、電源の立ち上げ時に自動的に開始される。この自己監視試験は、監視制御部18からの指示により、任意の時期に開始されてもよい。受信装置と送信装置の各部の機能のチェックが正常に終了した場合、つまり自己監視試験が正常に終了した場合には、通常状態に復帰する。

【0035】自己監視制御部25による光端局装置の自

己監視試験中は、電気／光変換部 1 6 から出力される光信号は停止される。これにより、保守者へのレーザー光線による安全性を確保できる。

【 0 0 3 6 】図 2 は自己監視制御部 2 5 の構成を示すブロック図である。図中、3 1 は試験制御用カウンタであり、高次群側から低次群側における試験 (Test) すべき各ブロックの試験時間を計測する。

【 0 0 3 7 】3 2 は試験制御信号生成部であり、試験制御用カウンタ 3 1 の値に基づき、各ブロックに対して試験制御信号を送る。すなわち、高次群側から各ブロックに対して、試験の開始、終了信号を送る。また、ループバックを必要とする機能の試験においては、ループバック制御用の信号を生成する。3 3 は試験結果ラッチ回路であり、各ブロックの試験において、試験制御用カウンタ 3 1 からのラッチタイミング信号により試験結果を保持する。

【 0 0 3 8 】自己監視制御部 2 5 では、前述したように、電源オン (POWER ON) 直後か、あるいは任意の時期に監視制御部 1 8 からの指示により、試験制御信号生成部 3 2 によって、高次群から各ブロックに対して試験開始信号を送出し、T₁ 時間後に試験終了信号を送出する。また、試験するブロックが複数ブロックで構成されるならば、それと同時にループバック信号を T₁ 時間送出する。

【 0 0 3 9 】そして、試験結果ラッチ回路 3 3 により、試験制御信号生成部 3 2 からのタイミング信号で試験結果をラッチし、再び次のブロックへ試験開始、終了信号を送り、これを繰り返す。

【 0 0 4 0 】試験結果は、試験結果ラッチ回路 3 3 により全ての試験の論理和がとられ、外部ピンより、あるいは監視制御部 1 8 を介して外部に通知される。このように、機能毎に、かつ高次群から試験を行うことにより、個別機能の試験を効率的に行うことができる。

【 0 0 4 1 】図 3 は試験制御信号生成部 3 2 から出力される試験制御信号のタイミングを示すタイミングチャートである。この図に示すように、自己監視制御部 2 5 では、試験制御信号生成部 3 2 から試験開始信号を送出し、T₁ 時間後に終了信号を送出する。また、試験するブロックが複数ブロックで構成されるならば、ループバック信号を T₁ 時間送出する。そして、試験結果ラッチ回路 3 3 で試験結果をラッチし、次のブロックへ試験開始、終了信号を送り、これを繰り返す。

【 0 0 4 2 】図 4 はマスタクロックの周波数を速くして内部動作マージンの余裕度をチェックするための回路を示すブロック図である。自己監視制御部 2 5 による自己監視試験においては、システムクロック生成部 1 7 から発生されるマスタクロックの周波数を速くすることにより、内部動作マージンの余裕度をチェックする。

【 0 0 4 3 】この図に示すように、SEL (セレクト : Selector) 3 5 は、自己監視制御部 2 5 から試験開始信

号 a 1 を受け取ると、クロックの出力を、通常のリファレンスクロック a 2 から試験用リファレンスクロック a 3 に切り換える。試験用リファレンスクロック a 3 の周波数は、通常のリファレンスクロック a 2 の周波数よりも約 1 0 % ~ 2 0 % 速く設定している。

【 0 0 4 4 】試験用リファレンスクロック a 3 を PC (フェーズコンパレータ : Phase Comparator) 3 6 に入力し、LPF (ローパスフィルタ : Low Pass Filter) 3 7 を通して VCXO (ボルテージコントロールクリスタルオシレータ : Voltage Control Crystal Oscillator) 3 8 の周波数を調整する。

【 0 0 4 5 】調整されたマスタクロック a 4 は高い周波数であり、この高い周波数のマスタクロック a 4 を用いて動作マージンチェック部 3 9 において試験を行う。この試験において、動作マージンチェック部 3 9 で異常と診断すれば、動作マージンが取れていないと判断し、動作マージンチェック部 3 9 は、この結果の判定信号 a 5 を自己監視制御部 2 5 に通知する。また、正常と診断すれば、動作マージンが取れていると判断し、この結果の判定信号 a 5 を自己監視制御部 2 5 に通知する。このようにして、試験時にマスタクロックの周波数を速くすることにより、動作マージンの余裕度をチェックする。

【 0 0 4 6 】図 5 は電源電圧を変動させて内部動作マージンの余裕度をチェックするための回路を示すブロック図である。自己監視制御部 2 5 による自己監視試験においては、電源部 1 9 の電源電圧を高く、あるいは低く設定することにより、内部動作マージンの余裕度をチェックする。

【 0 0 4 7 】この図に示すように、電源部 1 9 から出力される通常電圧 b 1 をリファレンス電圧生成部 4 1 と ADD (加算 : Adder) 部に入力する。リファレンス電圧生成部 4 1 では電源部 1 9 から入力された通常電圧 b 1 からリファレンス電圧 b 2 を生成し、これを ADD 部 4 2 に入力する。ADD 部 4 2 は、自己監視制御部 2 5 から試験開始信号 b 3 を受け取ると、ADD 部 4 2 にて、通常電圧 b 1 にリファレンス電圧 b 2 を加算し、変動電圧 b 4 を生成する。この変動電圧 b 4 を動作マージンチェック部 4 3 に入力し、異常が無いかどうかの試験を行う。この試験において、動作マージンチェック部 4 3 で異常と診断すれば、動作マージンが取れていないと判断し、動作マージンチェック部 4 3 は、この結果の判定信号 b 5 を自己監視制御部 2 5 に通知する。また、正常と診断すれば、動作マージンが取れていると判断し、この結果の判定信号 b 5 を自己監視制御部 2 5 に通知する。このようにして、試験時に電源電圧を変動させることにより、動作マージンの余裕度をチェックする。

【 0 0 4 8 】図 6 は信号断検出部 (ロスオブシグナルディテクター : LOS DET) 3 を試験するための回路を示すブロック図である。この回路には、LOS DET 試験部 4 4 と、SEL (セレクト : Selector) 4 5、

46 が設けられている。図 7 は LOS DET 試験部の機能を示す機能ブロック図、図 8 は LOS DET 試験部の信号のタイミングを示すタイミングチャートである。

【0049】以降において、O/E は光/電気変換部 1、S/P は S/P 変換部 2、LOS DET は信号断検出部 3、SYNC は n 並列同期検出部 4、LOF DET は同期外れ警報検出部 5、OH DROP はオーバーヘッドドロップ・終端部 6、PTR DET は PTR 監視部 8、DMUX は信号分離部 10、PTR CHAN G は PTR 処理部 11、MUX は信号多重部 12、OH INS は OH 処理部 13、P/S は P/S 変換部 15、E/O は電気/光変換部 16 を、それぞれ示す。

【0050】これらの図に示すように、LOS DET 試験部 44 に対して、自己監視制御部 25 から試験開始信号が入力されると、LOS DET 試験部 44 は、試験中の信号を出力し、SEL 45 の 1 側を有効にする。同時に SEL 46 の 1 側を有効にし、信号出力 ALL (オール) “0” 制御を開始する。

【0051】LOS DET 試験部 44 は、LOS 検出時間が終了する直前の図 8 の①の時点で LOS 検出信号が出力されていれば、アラーム出力を行い、出力されていなければアラーム出力を行わない。また、LOS 検出時に ALL “0” 制御を終了し、その直後の②の時点で LOS 検出信号が出力されていなければ、アラーム出力を行い、出力されていればアラーム出力は行わない。ALL “0” 制御終了後、LOS 解除時間が終了する直前の③の時点で LOS 検出信号が出力されていなければ、アラーム出力を行い、出力されていればアラーム出力を行わない。また、LOS 解除後の④の時点で LOS 検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。④の時点で試験終了とする。このようにして、LOS DET (LOS アラーム検出部) の試験を、送信側において、一定時間データを ALL “0” に制御することにより行う。

【0052】図 9 は同期外れ警報検出部 (ロスオブフレームディテクター: LOF DET) 5 を試験するための回路を示すブロック図である。この回路には、LOF DET 試験部 47 と、SEL 48、49 が設けられている。図 10 は LOF DET 試験部の機能を示す機能ブロック図、図 11 は LOF DET 試験部の信号のタイミングを示すタイミングチャートである。

【0053】これらの図に示すように、LOF DET 試験部 47 に対して、自己監視制御部 25 から試験開始信号が入力されると、LOF DET 試験部 47 は、試験中の信号を出力し、SEL 48 の 1 側を有効にする。同時に SEL 49 の 1 側を有効にし、信号出力 ALL “0” 制御を開始する。

【0054】LOF DET 試験部 47 は、LOF 検出時間が終了する直前の図 11 の①の時点で LOF 検出信

号が出力されていれば、アラーム出力を行い、出力されていなければアラーム出力を行わない。また、LOF 検出時に ALL “0” 制御を終了し、その直後の②の時点で LOF 検出信号が出力されていなければ、アラーム出力を行い、出力されていればアラーム出力は行わない。ALL “0” 制御終了後、LOF 解除時間が終了する直前の③の時点で LOF 検出信号が出力されていなければ、アラーム出力を行い、出力されていればアラーム出力を行わない。また、LOF 解除後の④の時点で LOF 検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。④の時点で試験終了とする。このようにして、LOF DET (LOF アラーム検出部) の試験を、送信側のフレームパターン発生を一定時間マスクすることによって行う。

【0055】図 12 は同期検出・解除を試験するための回路を示すブロック図である。この回路には、同期検出・解除試験部 51 と、SEL 52 が設けられている。図 13 は同期検出・解除試験部の機能を示す機能ブロック図、図 14 は同期検出・解除試験部の信号のタイミングを示すタイミングチャートである。

【0056】これらの図に示すように、同期検出・解除試験部 51 に対して、自己監視制御部 25 から試験開始信号が入力されると、同期検出・解除試験部 51 は、試験中の信号を出力し、SEL 52 の 1 側を有効にする。その後、同期解除時間 + 同期検出最大時間の経過後、O OF (Out Of Flame) 検出信号が同期状態 (“L”) となつてから、同期検出・解除試験部 51 は、ビットシフト部 26 に “ハイ (H)” の信号を与えることにより、信号出力 1 ビットシフト制御を開始する。

【0057】同期検出・解除試験部 51 は、同期解除時間直前の図 14 の①の時点で、O OF 検出信号が出力されていれば、アラーム出力を行い、出力されていなければアラーム出力を行わない。同期解除時間直後の②の時点で、O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されていればアラーム出力を行わない。同期検出最小時間直前の③の時点で O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力は行わない。同期検出最小時間直後の④の時点で O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。

【0058】この④の時点で、同期検出・解除試験部 51 は、同時に 1 ビットシフト制御を終了し、同期解除時間直前の⑤の時点で O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。同期解除時間直後の⑥の時点で O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。同期検出最大時間直前の⑦の時点で O OF 検出信号が出力されていなければ、アラーム出力を行い、出力されて

いれば、アラーム出力を行わない。同期検出最大時間直後の④の時点でOOF検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。⑤の時点で試験終了とする。このようにして、同期検出・解除の試験を、送信側のビットシフト部26によって行う。

【0059】図15はn並列同期検出部(SYNC)41を試験するための回路を示すブロック図である。この回路には、n並列同期検出試験部53と、SEL54、55が設けられている。図16はn並列同期検出試験部の機能を示す機能ブロック図、図17はn並列同期検出試験部の信号のタイミングを示すタイミングチャートである。

【0060】これらの図に示すように、n並列同期検出試験部53に対して、自己監視制御部25から試験開始信号が入力されると、n並列同期検出試験部53は、試験中の信号を出力し、SEL54、55の1側を有効にする。同時に配列変換部23から、配列変換パターンとしてパターン1を出力させる。これで一定期間以上フレームパターン検出信号が入力されなかった場合には、n並列同期検出試験部53は、アラームの出力を行い、試験終了とする。フレームパターン検出信号が入力されると、配列変換部23から次のパターン2を出力させる。

【0061】n並列同期検出試験部53は、以下同様に処理を行い、配列変換部23からパターンnを出力させ、そのフレームパターン検出信号が入力されると試験終了とする。このようにして、n並列同期検出部41におけるフレームパターン検出機能の試験を、送信側の配列変換部23を用いた配列変換により行う。

【0062】図18は伝送路のビット誤り率を検出するERR MAJ/MIN DET (エラーメジャー/マイナーディテクター)を試験するための回路を示すブロック図である。この回路には、ERR MAJ/MIN DET試験部56、SEL57、およびエクスクルーシブオア回路58が設けられている。図におけるERR MAJ/MIN DET7aとパリティチェック部7bは伝送路警報検出部7に設けられているものであり、パリティ演算部14aはOH生成部14に設けられているものである。図19はERR MAJ/MIN DET試験部の機能を示す機能ブロック図、図20はERR MAJ/MIN DET試験部の信号のタイミングを示すタイミングチャートである。

【0063】これらの図に示すように、ERR MAJ/MIN DET試験部56に対して、自己監視制御部25から試験開始信号が入力されると、ERR MAJ/MIN DET試験部56は、試験中の信号を出力し、SEL57の1側を有効にする。同時にエクスクルーシブオア回路58に“H”を出力して、パリティ演算結果反転制御を開始する。

【0064】ERR MAJ/MIN DET試験部5

6は、ERR MAJ/MIN DET7aからのエラーアラーム検出時間直前の図20の①の時点で検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。エラーアラーム検出時間後、反転制御を終了し、その直後の②の時点で検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力を行わない。反転制御終了後、解除時間直前の③の時点で検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。解除時間後の④の時点で検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。また、⑤の時点で試験終了とする。このようにして、ERR MAJ/MIN DET (検出部)の試験を、送信側のB2バイトの反転制御により行う。

【0065】図21はLAIS DET (ラインアラームインジケーションシグナルディテクター)を試験するための回路を示すブロック図である。この回路には、LAIS検出・解除試験部60、SEL61、62が設けられている。図におけるLAIS DET7cは伝送路警報検出部7に設けられているものである。図22はLAIS検出・解除試験部の機能を示す機能ブロック図、図23はLAIS検出・解除試験部の信号のタイミングを示すタイミングチャートである。

【0066】これらの図に示すように、LAIS検出・解除試験部60に対して、自己監視制御部25から試験開始信号が入力されると、LAIS検出・解除試験部60は、試験中の信号を出力し、SEL61の1側を有効にする。同時にSEL62の0側を有効にして、信号出力強制LAIS制御を開始する。

【0067】LAIS検出・解除試験部60は、LAIS DET7cからのLAIS検出時間直後の図23の①の時点でLAIS検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。LAIS検出時間後、強制LAIS制御を終了し、その直後の②の時点でLAIS検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力を行わない。強制LAIS制御の終了後、LAIS解除時間直前の③の時点でLAIS検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力を行わない。LAIS解除時間後の④の時点でLAIS検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。また、⑤の時点で試験終了とする。このようにして、LAIS検出部の試験を、送信側のK2#1-6~8bitに111を立てることにより行う。

【0068】図24はFERF DET (ファーエンドレシートフェイラーディテクター)を試験するための回路を示すブロック図である。この回路には、FERF検

出・解除試験部 6 3、SEL 6 4、6 5 が設けられている。図における FERF DET 7 d は伝送路警報検出部 7 に設けられているものである。図 2 5 は FERF 検出・解除試験部の機能を示す機能ブロック図、図 2 6 は FERF 検出・解除試験部の信号のタイミングを示すタイミングチャートである。これらの図に示すように、FERF 検出・解除試験部 6 3 に対して、自己監視制御部 2 5 から試験開始信号が入力されると、FERF 検出・解除試験部 6 3 は、試験中の信号を出力し、SEL 6 4 の 1 側を有効にする。同時に SEL 6 5 の 0 側を有効に

して、信号出力強制 FERF 制御を開始する。
【0069】FERF 検出・解除試験部 6 3 は、FERF DET 7 d からの FERF 検出時間直前の図 2 6 の ①の時間で FERF 検出信号が出力されていれば、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。FERF 検出時間後、強制 FERF 制御を終了し、その直後の ②の時点で FERF 検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力を行わない。強制 FERF 制御の終了後、FERF 解除時間直前の ③の時点で FERF 検出信号が出力されていなければ、アラーム出力を行い、出力されていれば、アラーム出力を行わない。FERF 解除時間後の ④の時点で FERF 検出信号が出力されていなければ、アラーム出力を行い、出力されていなければ、アラーム出力を行わない。また、④の時点で試験終了とする。このようにして、FERF 検出部の試験を、送信側の K 2 # 1 - 6 ~ 8 bit に 1 1 0 を立てることにより行う。

【0070】図 2 7 は PAIS 試験の回路構成を示すブロック図であり、バス警報検出部 9 の PAIS (バスアラームインジケーションシグナル) 検出部 9 a で正常に PAIS 検出が行われているかどうかを試験するための回路構成を示すものである。この回路には、PAIS 試験制御部 1 0 1 が設けられている。図 2 8 は PAIS 試験の流れを示すフローチャートである。

【0071】これらの図に示すように、自己監視制御部 2 5 は、PAIS 試験制御部 1 0 1 に試験開始信号 c 1 を出力する。PAIS 試験制御部 1 0 1 は、試験開始信号 c 1 を受け取ると、PAIS 命令信号 c 2 を、3 フレームの間、PTR 処理部 1 1 に出力する。PTR 処理部 1 1 は、フレームタイミング信号 c 3 を PAIS 試験制御部 1 0 1 に送り返し、PAIS 試験制御部 1 0 1 は、それによって 3 フレームの期間を決定する。

【0072】PTR 処理部 1 1 は、PAIS 命令信号 c 2 を受け取った後、H 1、H 2 を PAIS コード (後記する) に制御したデータ c 4 を 3 フレーム間出力する。出力されたデータ c 4 は、MUX 1 2、SYNC 4、DMUX 1 0 でそれぞれ処理され、PAIS 検出部 9 a へ入力される。PAIS 検出部 9 a は、入力されるデータ c 5 の H 1、H 2 バイトに PAIS コードが 3 フレーム

間連続で入力されると、PAIS 検出信号 c 6 を、PAIS 試験制御部 1 0 1 に送る。PAIS 試験制御部 1 0 1 は、フレームタイミング信号 c 3 により、PAIS 検出信号 c 6 を受けるタイミングを監視している。

【0073】PAIS 試験制御部 1 0 1 は、3 フレームの間、PAIS 命令信号 c 2 を出力した後、PAIS 命令信号 c 2 を停止する。これにより、PAIS 命令は解除され、PTR 処理部 1 1 は通常状態にもどる。PTR 処理部 1 1 が通常状態にもどると、データ c 4 がノーマル PTR 値 3 連一致、もしくは NDF (ニューデータフラグ) で出力され、PAIS 検出部 9 a は、PAIS 検出信号 c 6 を解除する。PAIS 検出信号 c 6 が解除されると、PAIS 試験制御部 1 0 1 は、正常終了と判断し、PAIS 試験制御部 1 0 1 から PAIS 試験正常終了信号 c 7 が自己監視制御部 2 5 へ送られる。

【0074】PAIS 検出部 9 a が PAIS 検出信号 c 6 を出力している状態で、PAIS 解除用のデータ c 4 が出力されたにもかかわらず、PAIS 検出信号 c 6 が解除されない時は、PAIS 試験制御部 1 0 1 は、PAIS 解除異常とみなし、解除異常信号 c 7 を出力する。

【0075】PAIS コードに制御したデータ c 4 を 3 フレーム連続で PTR 処理部 1 1 から出力しているにもかかわらず、PAIS 検出部 9 a が PAIS 検出信号 c 6 を出力しない時にも、PAIS 試験制御部 1 0 1 は、PAIS 検出異常とみなし、検出異常信号 c 7 を出力する。

【0076】PAIS コードを以下に示す。

【表 1】

H 1 バイト	H 2 バイト
1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1

このようにして、PAIS 検出部の試験を、送信側の H 1、H 2 バイトの制御により行う。

【0077】図 2 9 は LOP 試験の回路構成を示すブロック図であり、バス警報検出部 9 の LOP (ロスオブポインター) 検出部 9 b で正常に LOP 検出が行われているかどうかを試験するための回路構成を示すものである。この回路には、LOP 試験制御部 1 0 2 が設けられている。図 3 0 は LOP 試験の流れを示すフローチャートである。

【0078】これらの図に示すように、自己監視制御部 2 5 は、LOP 試験制御部 1 0 2 に試験開始信号 d 1 を出力する。LOP 試験制御部 1 0 2 は、試験開始信号 d 1 を受け取ると、LOP 命令信号 d 2 を、8 フレームの間、PTR 処理部 1 1 に出力する。PTR 処理部 1 1 は、フレームタイミング信号 d 3 を LOP 試験制御部 1 0 2 に送り返し、LOP 試験制御部 1 0 2 は、それによ

って8フレームの期間を決定する。

【0079】PTR処理部11は、LOP命令信号d2を受け取った後、H1、H2をLOPコード（後記する）に制御したデータd4を8フレーム間出力する。出力されたデータd4は、MUX12、SYNC4、DMUX10でそれぞれ処理され、LOP検出部9bへ入力される。LOP検出部9aは、入力されるデータd5のH1、H2バイトにLOPコードが8フレーム間連続で入力されると、LOP検出信号d6を、LOP試験制御部102に送る。LOP試験制御部102は、フレームタイミング信号d3により、LOP検出信号d6を受けるタイミングを監視している。

【0080】LOP試験制御部102は、8フレーム間、LOP命令信号d2を出力した後、LOP命令信号d2を停止する。これにより、LOP命令は解除され、PTR処理部11は通常状態にもどる。PTR処理部11が通常状態にもどると、データd4がノーマルPTR値3連一致、もしくはPAIS3連で出力され、LOP検出部9bは、LOP検出信号d6を解除する。LOP検出信号d6が解除されると、LOP試験制御部102は、正常終了と判断し、LOP試験制御部102からLOP試験正常終了信号d7が自己監視制御部25へ送られる。

【0081】LOP検出部9bがLOP検出信号d6を出力している状態で、LOP解除用のデータd4が出力されたにもかかわらず、LOP検出信号d6が解除されない時は、LOP試験制御部102は、LOP解除異常とみなし、解除異常信号d7を出力する。

【0082】LOPコードに制御したデータd4を8フレーム連続でPTR処理部11から出力しているにもかかわらず、LOP検出部9aがLOP検出信号d6を出力しない時にも、LOP試験制御部102は、LOP検出異常とみなし、検出異常信号d7を出力する。

【0083】LOPコードを以下に示す。

【表2】

H1 バイト	H2 バイト
1 0 0 1 X X 0 0	0 0 0 0 0 0 0 0

このようにして、LOP検出部の試験を、送信側のH1、H2バイトの制御により行う。

【0084】図31はUNEQ試験の回路構成を示すブロック図であり、バス警報検出部9のUNEQ（アンエキブメント）検出部9cで正常にUNEQ検出が行われているかどうかを試験するための回路構成を示すもの

である。この回路には、UNEQ試験制御部103が設けられている。図32はUNEQ試験の流れを示すフローチャートである。

【0085】これらの図に示すように、自己監視制御部25は、UNEQ試験制御部103に試験開始信号e1を出力する。UNEQ試験制御部103は、試験開始信号e1を受け取ると、UNEQ命令信号e2を、4フレームの間、PTR処理部11に出力する。PTR処理部11は、フレームタイミング信号e3をUNEQ試験制御部103に送り返し、UNEQ試験制御部103は、それによって4フレームの期間を決定する。

【0086】PTR処理部11は、UNEQ命令信号e2を受け取った後、H1、H2をUNEQコード（後記する）に制御し、その他のバイトをオール（ALL）

“0”に制御したデータe4を4フレーム間出力する。出力されたデータe4は、MUX12、SYNC4、DMUX10でそれぞれ処理され、UNEQ検出部9cへ入力される。UNEQ検出部9cは、入力されるデータe5のC2バイトにALL“0”が3フレーム間連続で入力されると、UNEQ検出信号e6を、UNEQ試験制御部103に送る。UNEQ試験制御部103は、フレームタイミング信号e3により、UNEQ検出信号e6を受けるタイミングを監視している。

【0087】UNEQ試験制御部103は、4フレームの間、UNEQ命令信号e2を出力した後、UNEQ命令信号e2を停止する。これにより、UNEQ命令は解除され、PTR処理部11は通常状態にもどる。PTR処理部11が通常状態にもどり、データe4のC2バイトがALL“0”以外で6回連続で出力されると、UNEQ検出部9cはUNEQ検出信号e6を解除する。UNEQ検出信号e6が解除されると、UNEQ試験制御部103は、正常終了と判断し、UNEQ試験制御部103からUNEQ試験正常終了信号e7が自己監視制御部25へ送られる。

【0088】UNEQ検出部9cがUNEQ検出信号e6を出力している状態で、UNEQ解除用のデータe4が出力されたにもかかわらず、UNEQ検出信号e6が解除されない時は、UNEQ試験制御部103は、UNEQ解除異常とみなし、解除異常信号e7を出力する。

【0089】UNEQコードに制御したデータe4を3フレーム連続でPTR処理部11から出力しているにもかかわらず、UNEQ検出部9cがUNEQ検出信号e6を出力しない時にも、UNEQ試験制御部103は、UNEQ検出異常とみなし、検出異常信号e7を出力する。

【0090】UNEQコードを以下に示す。

【表3】

17

18

H 1 バイト	H 2 バイト	C 2 バイト
0 1 1 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

このようにして、UNEQ検出部の試験を、送信側のH 1、H 2バイトとC 2バイトの制御により行う。

【0091】図33はOH INS/OH DROP試験の回路構成を示すブロック図であり、OH処理部13のOH INS (OH挿入)部13aの機能とオーバーヘッドドロップ・終端部6のOH DROP (オーバーヘッドドロップ)部6aの機能が正常であるかどうかを試験するための回路構成を示すものである。この試験においては、PNパターンによって、OH INS部13aとOH DROP部6aの機能の確認を行う。

【0092】この図に示すように、自己監視制御部25は、PPG (PNパターンジェネレータ: PN Pattern Generator) 111とSEL 112に試験開始信号f 1を送出する。PPG 111は、試験開始信号f 1を受け取ると、PNパターンを発生させ、SEL 112は、試験開始信号f 1を受け取ると、選択を通常入力から試験入力に切り換える。つまり選択を通常データからPNパターンデータに切り換える。

【0093】PPG 111で発生されたPNパターンf 2は、OH INS部13aに入力され、その出力f 3はOH DROP部6aに入力される。OH DROP部6aで抽出されたPNパターンf 4は、ERROR DET (エラー検出部) 113に入力され、PNパターンに間違いが無いかが試験される。

【0094】ERROR DET 113でPNパターンに異常があれば、OH INS部13aかOH DROP部6aに異常があると診断され、また、PNパターンが正常であれば、OH INS部13aとOH DROP部6aは正常に動作していると診断され、これらの試験結果信号f 5が自己監視制御部25に通知される。このようにして、OHデータINS・DROP機能の試験を、PNパターン信号を挿入し、ドロップしたPNパターン信号のエラーを検出することにより行う。

【0095】図34はタンデム接続によるチャネル確認の回路構成を示すブロック図である。本発明の光端局装置においては、CH (チャネル) 1からCH (チャネル) 12までの12のチャネルが設けられており、この回路は、それら全てのチャネルを一度に試験するための構成を示すものである。この回路においては、主信号のデータ線を、CH 1からCH 12までをタンデム接続し、PNパターンの信号によって各チャネルの正常性の確認を行う。

【0096】この図に示すように、自己監視制御部25は、PPG 121とSEL部122に試験開始信号g

1を送出する。PPG 121は、試験開始信号g 1を受け取ると、PNパターンを発生させ、SEL部122は、試験開始信号g 1を受け取ると、選択を通常入力から試験入力に切り換える。つまり選択を通常データからPNパターンデータのタンデム接続に切り換える。SEL部122が切り換わることにより、CH 1からCH 12までがタンデム接続となる。

【0097】PPG 121から発生されたPNパターンg 2は、CH 1に入力され、その出力がCH 2に入力され、このようにタンデム接続によって、CH 1からCH 12まで、同じPNパターンデータが通過する。CH 12から出力されたPNパターンデータg 3は、ERROR DET (エラー検出部) 123に入力されし、PNパターンに異常が無いかが試験される。

【0098】ERROR DET 123に入力されたPNパターンに異常があれば、CH 1からCH 12までの中で異常な部分があると診断され、また、PNパターンが正常であれば、CH 1からCH 12までは正常に動作していると診断され、これらの試験結果信号g 4が自己監視制御部25に通知される。

【0099】図34に示したタンデム接続の回路を用いて、PTR処理部11で正常にポインタ値の変更 (減少) が行われるかどうかの試験、つまりPTR処理部11のポインタチェンジ部で正常にデクリメント (DECREMENT) 動作が行われるかどうかを試験することができる。

【0100】この試験においては、自己監視制御部25は、この試験を開始するための試験開始信号g 1をPPG 121とSEL部122に送出する。PPG 121は、この試験開始信号g 1を受け取ると、STM-1のH 1、H 2バイトに、図35に示すような状態遷移を示す説明図に従って適当なデータg 2を発生させ、それをSEL部122へ送出する。

【0101】SEL部122は、自己監視制御部25から試験開始信号g 1を受け取ると、通常入力データの経路を切り換える。その結果、CH 1にはPPG 121からデータが入力され、CH 2にはCH 1からデータが入力されるという、タンデム接続となる。

【0102】PPG 121からCH 1に入力されたデータは、ポインタ値が付け換えられ、CH 1から出力される。CH 1から出力されたデータは、CH 2に入力され、そこで再びポインタ値が付け換えられる。これがCH 12まで繰り返される。

【0103】この動作が図35に従って約100フレー

ム動作された後、CH12の出力g3を監視しているERROR DET123で、データスリップ等を起こさず、デクリメント動作が行われていることが確認されると、ERROR DET123は、デクリメント試験が正常に終了したことを示す試験正常終了信号g4を自己監視制御部25に返す。また、デクリメント動作が確認されなかった場合には、ERROR DET123は、デクリメント試験の異常を示す試験異常終了信号g4を自己監視制御部25に返す。

【0104】図34に示したタンデム接続の回路を用いて、PTR処理部11で正常にポインタ値の変更(増大)が行われるかどうかの試験、つまりPTR処理部11のポインタチェンジ部で正常にインクリメント(INCREMENT)動作が行われるかどうかを試験することができる。

【0105】この試験においては、自己監視制御部25は、この試験を開始するための試験開始信号g1をPPG121とSEL部122に送出する。PPG121は、この試験開始信号g1を受け取ると、STM-1のH1、H2バイトに、図36に示すような状態遷移を示す説明図に従って適当なデータg2を発生させ、それをSEL部122へ送出する。

【0106】SEL部122は、自己監視制御部25から試験開始信号g1を受け取ると、通常入力データの経路を切り換える。その結果、CH1にはPPG121からデータが入力され、CH2にはCH1からデータが入力されるという、タンデム接続となる。

【0107】PPG121からCH1に入力されたデータは、ポインタ値が付け換えられ、CH1から出力される。CH1から出力されたデータは、CH2に入力され、そこで再びポインタ値が付け換えられる。これがCH12まで繰り返される。

【0108】この動作が図36に従って約100フレーム動作された後、CH12の出力g3を監視しているERROR DET123で、データスリップ等を起こさず、インクリメント動作が行われていることが確認されると、ERROR DET123は、インクリメント試験が正常に終了したことを示す試験正常終了信号g4を自己監視制御部25に返す。また、インクリメント動作が確認されなかった場合には、ERROR DET123は、インクリメント試験の異常を示す試験異常終了信号g4を自己監視制御部25に返す。

【0109】

【発明の効果】この発明によれば、光端局装置内に、高次群ループバック部と低次群ループバック部と自己ループ部と自己監視制御部を組み込んで、光端局装置内で、受信手段と送信手段の各部の機能を試験するようにしたので、外部のネットワークに依存せず、かつ装置を分解することなく、電源投入時、あるいは任意の時期に、各部の機能を独自にチェックすることが可能となる。これ

により、光端局装置の立ち上げや保守にかかる時間および労力を大幅に縮減することが可能となり、大容量通信ネットワークにおける回線の信頼度の向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】この発明による自己監視機能付き光端局装置の一実施例の構成を示すブロック図である。

【図2】自己監視制御部の構成を示すブロック図である。

【図3】試験制御信号生成部から出力される試験制御信号のタイミングを示すタイミングチャートである。

【図4】マスタクロックの周波数を速くして内部動作マージンの余裕度をチェックするための回路を示すブロック図である。

【図5】電源電圧を変動させて内部動作マージンの余裕度をチェックするための回路を示すブロック図である。

【図6】信号断検出部を試験するための回路を示すブロック図である。

【図7】LOS DET試験部の機能を示す機能ブロック図である。

【図8】LOS DET試験部の信号のタイミングを示すタイミングチャートである。

【図9】同期外れ警報検出部を試験するための回路を示すブロック図である。

【図10】LOF DET試験部の機能を示す機能ブロック図である。

【図11】LOF DET試験部の信号のタイミングを示すタイミングチャートである。

【図12】同期検出・解除を試験するための回路を示すブロック図である。

【図13】同期検出・解除試験部の機能を示す機能ブロック図である。

【図14】同期検出・解除試験部の信号のタイミングを示すタイミングチャートである。

【図15】n並列同期検出部を試験するための回路を示すブロック図である。

【図16】n並列同期検出試験部の機能を示す機能ブロック図である。

【図17】n並列同期検出試験部の信号のタイミングを示すタイミングチャートである。

【図18】伝送路のビット誤り率を検出するERR MAJ/MIN DETを試験するための回路を示すブロック図である。

【図19】ERR MAJ/MIN DET試験部の機能を示す機能ブロック図である。

【図20】ERR MAJ/MIN DET試験部の信号のタイミングを示すタイミングチャートである。

【図21】LAIS DETを試験するための回路を示すブロック図である。

【図22】LAIS検出・解除試験部の機能を示す機能

ブロック図である。

【図 2 3】 LAIS 検出・解除試験部の信号のタイミングを示すタイミングチャートである。

【図 2 4】 FERF DET を試験するための回路を示すブロック図である。

【図 2 5】 FERF 検出・解除試験部の機能を示す機能ブロック図である。

【図 2 6】 FERF 検出・解除試験部の信号のタイミングを示すタイミングチャートである。

【図 2 7】 PAIS 試験の回路構成を示すブロック図である。

【図 2 8】 PAIS 試験の流れを示すフローチャートである。

【図 2 9】 LOP 試験の回路構成を示すブロック図である。

【図 3 0】 LOP 試験の流れを示すフローチャートである。

【図 3 1】 UNEQ 試験の回路構成を示すブロック図である。

【図 3 2】 UNEQ 試験の流れを示すフローチャートである。

【図 3 3】 OH INS / OH DROP 試験の回路構成を示すブロック図である。

【図 3 4】 タンデム接続によるチャンネル確認の回路構成を示すブロック図である。

【図 3 5】 状態遷移を示す説明図である。

【図 3 6】 状態遷移を示す説明図である。

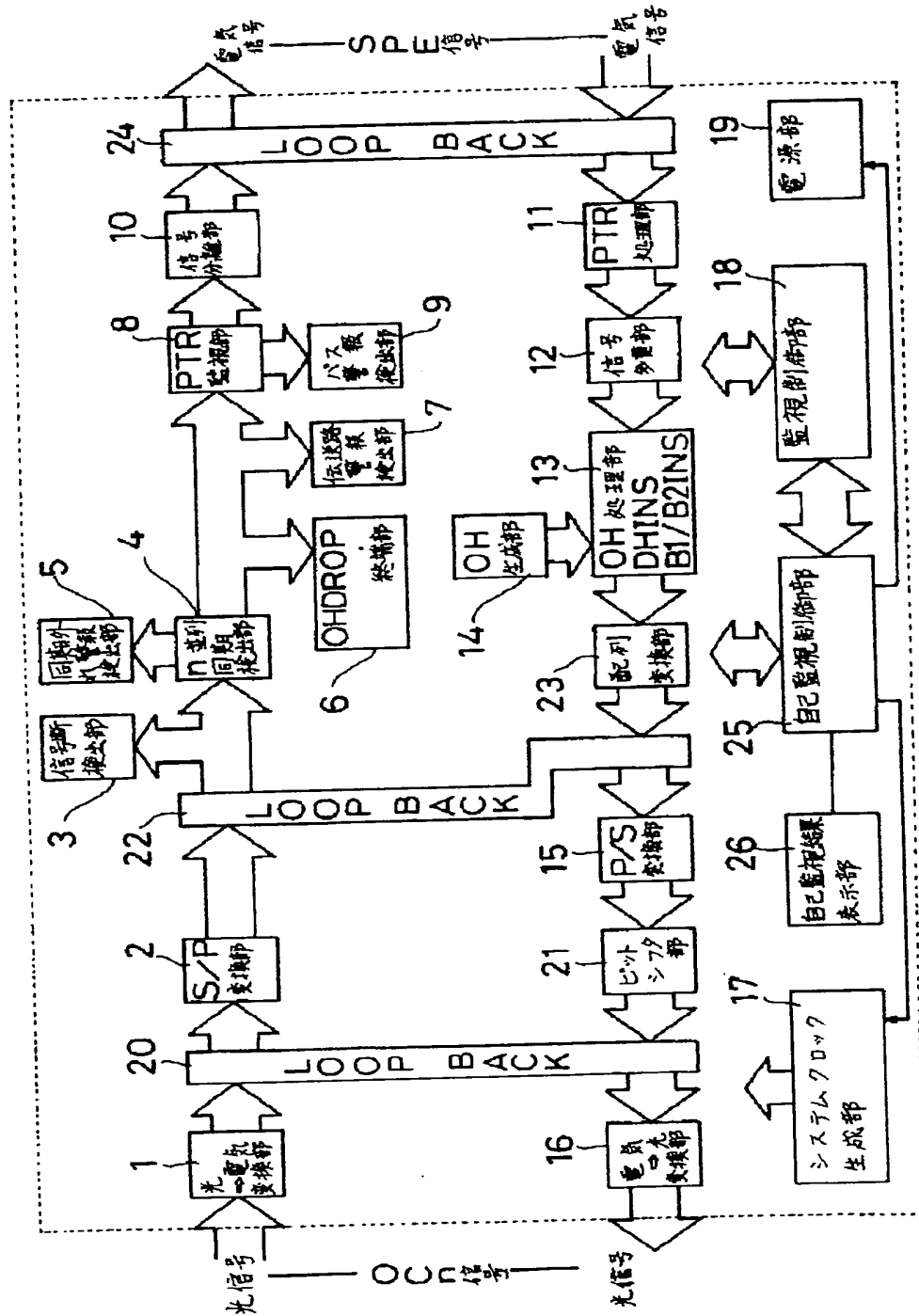
【符号の説明】

- 1 光／電気変換部
- 2 S / P 変換部
- 3 信号断検出部
- 4 n 並列同期検出部
- 5 同期外れ警報検出部
- 6 オーバーヘッドドロップ・終端部
- 6 a OH DROP 部
- 7 伝送路警報検出部
- 8 PTR 監視部
- 9 バス警報検出部
- 9 a PAIS 検出部
- 9 b LOP 検出部
- 9 c UNEQ 検出部
- 10 信号分離部

- 11 PTR 処理部
- 12 信号多重部
- 13 OH 処理部
- 13 a OH INS 部
- 14 OH 生成部
- 15 P / S 変換部
- 16 電気／光変換部
- 17 システムクロック生成部
- 18 監視制御部
- 19 電源部
- 20 高次群ループバック部
- 21 ビットシフト部
- 22 低次群ループバック部
- 23 配列変換部
- 24 自己ループ部
- 25 自己監視制御部
- 26 自己監視結果表示部
- 31 試験制御用カウンタ
- 32 試験制御信号生成部
- 33 試験結果ラッチ部
- 35, 45, 46, 48, 49, 52, 54, 55, 57 セレクタ
- 36 フェーズコンバータ
- 37 ローパスフィルタ
- 38 ボルテージコントロールクリスタルオシレータ
- 39, 43 動作マージンチェック部
- 41 リファレンス電圧生成部
- 42 加算部
- 44 LOS DET 試験部
- 30 47 LOF DET 試験部
- 51 同期検出・解除試験部
- 53 n 並列同期検出試験部
- 56 ERROR MAJOR / MINOR DET 試験部
- 60 LAIS 検出・解除試験部
- 61, 62, 64, 65, 112, 122 セレクタ
- 63 FERF 検出・解除試験部
- 101 PAIS 試験制御部
- 102 LOP 試験制御部
- 40 103 UNEQ 試験制御部
- 111, 121 PN パターンジェネレータ
- 113, 123 ERROR DET

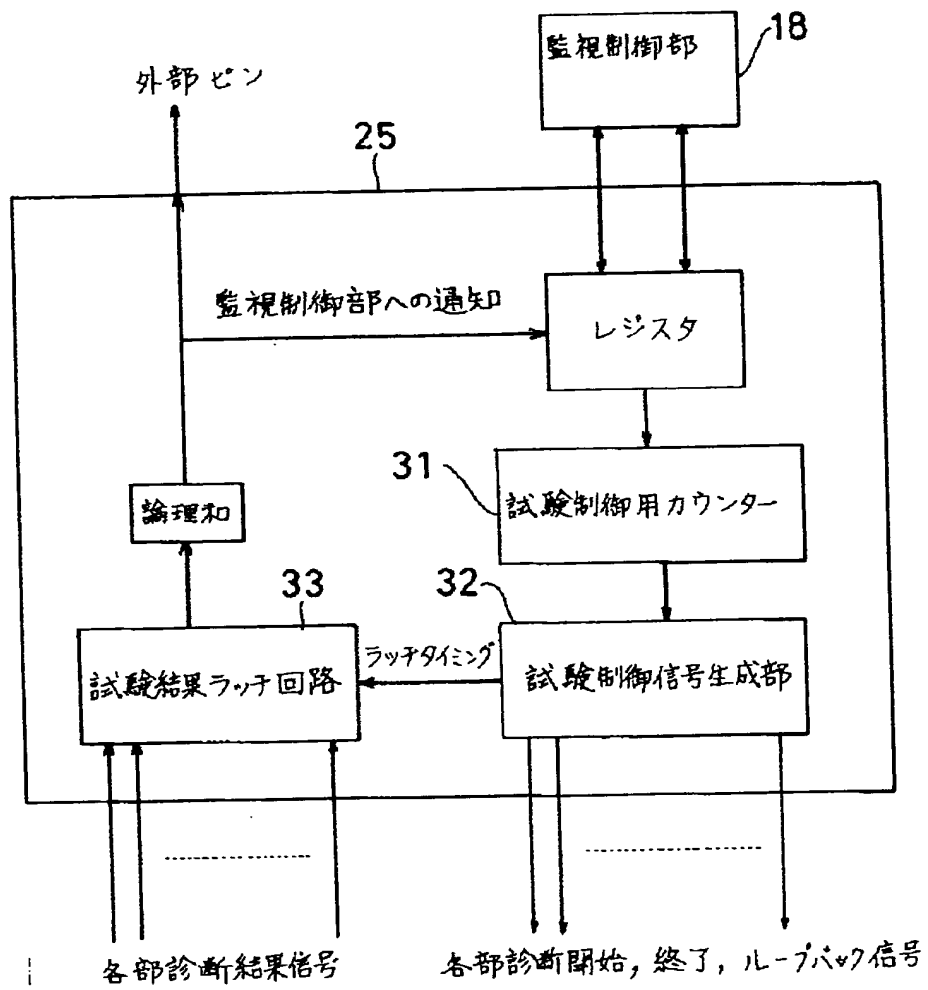
【図 1】

この発明による自己監視機能付き光端局装置の構成を示すブロック図



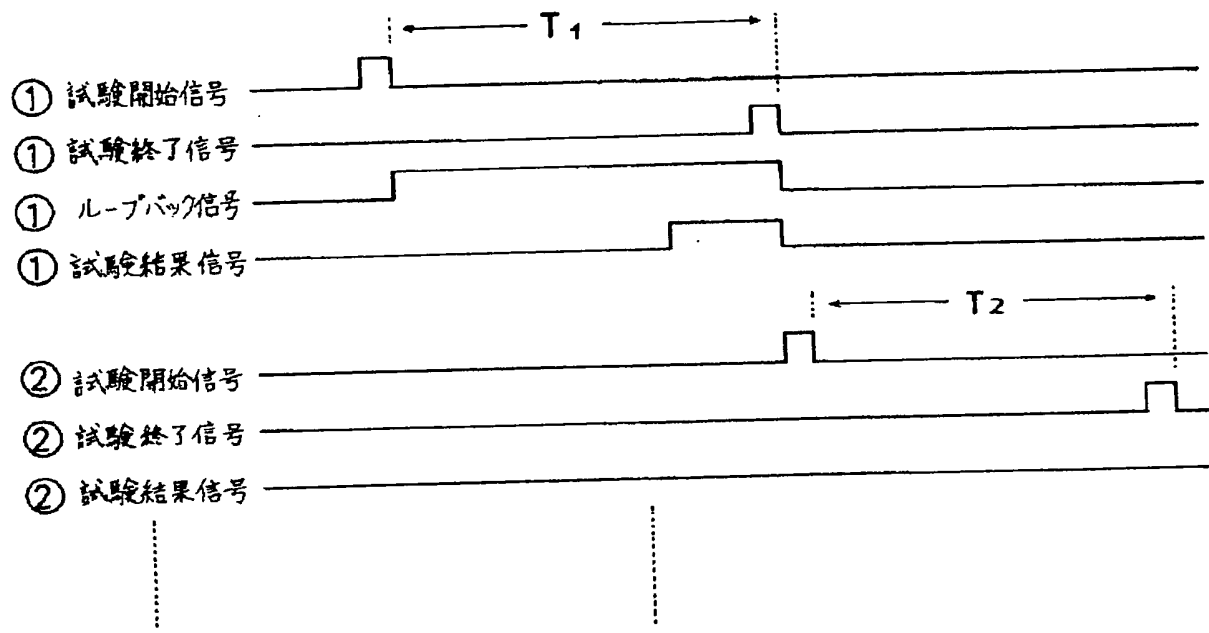
【図 2】

自己監視制御部の構成を示すブロック図



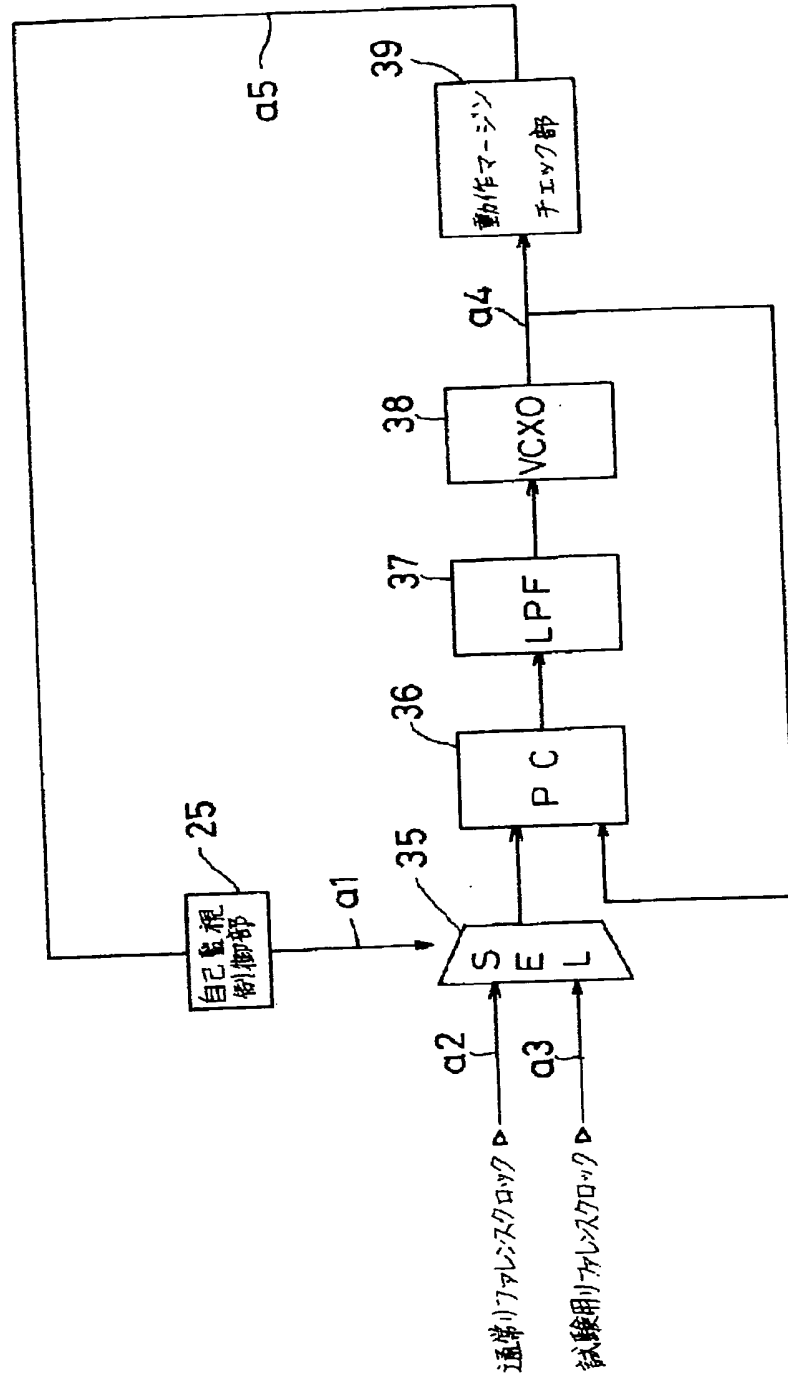
【図 3】

試験制御信号生成部から出力される試験制御信号のタイミングを示すタイミングチャート



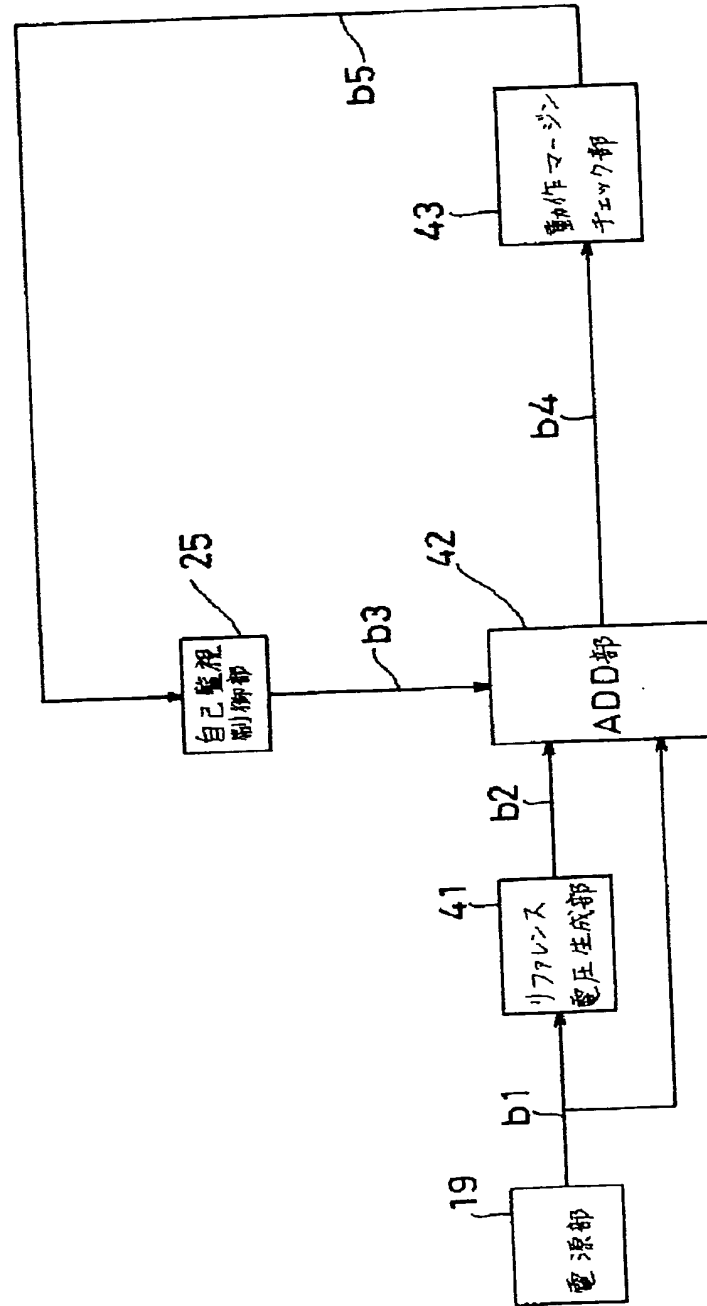
【 図 4 】

マスタクロックの周波数を早くして内部動作マージンの余裕度をチェックするための回路を示すブロック図

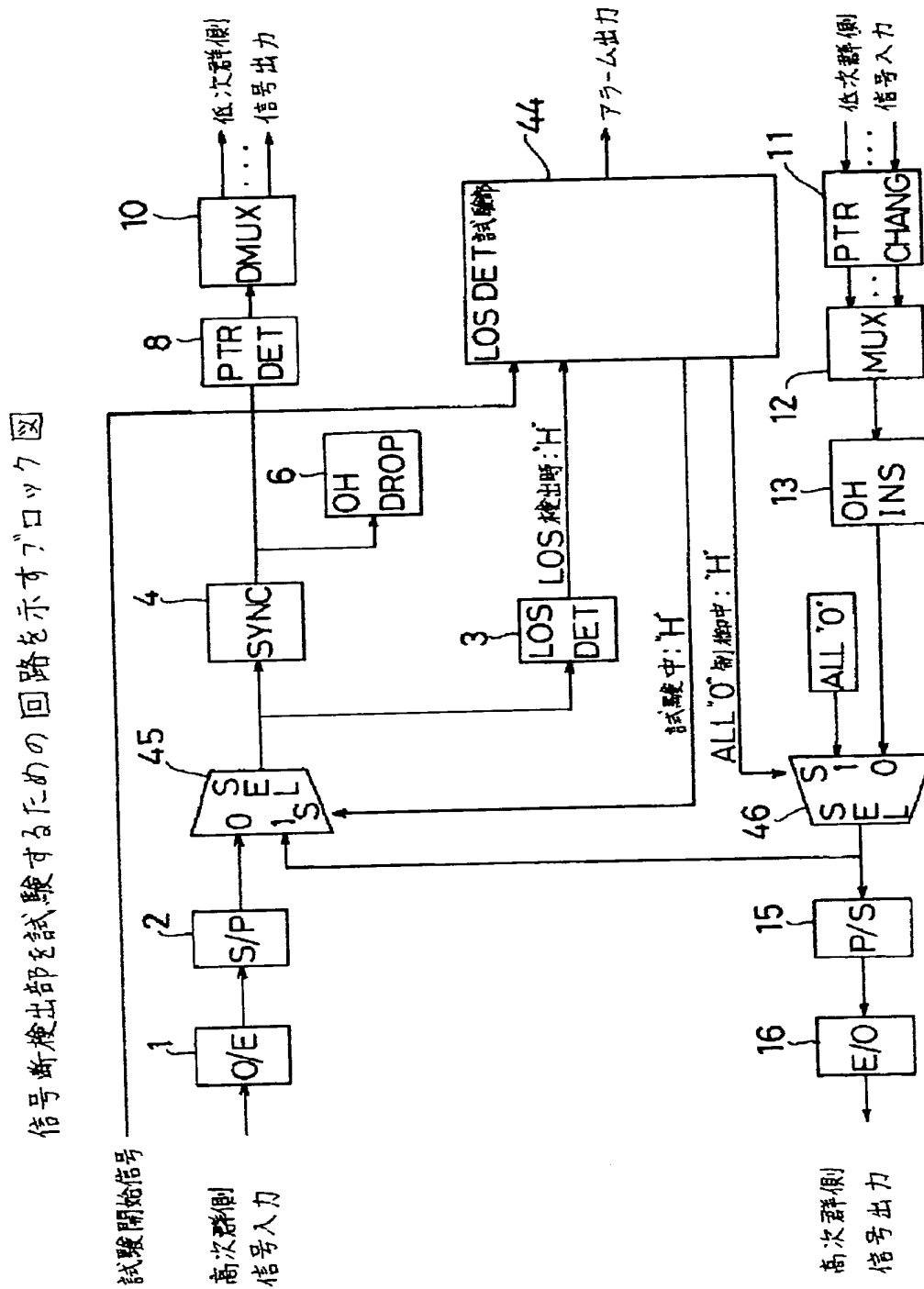


【図5】

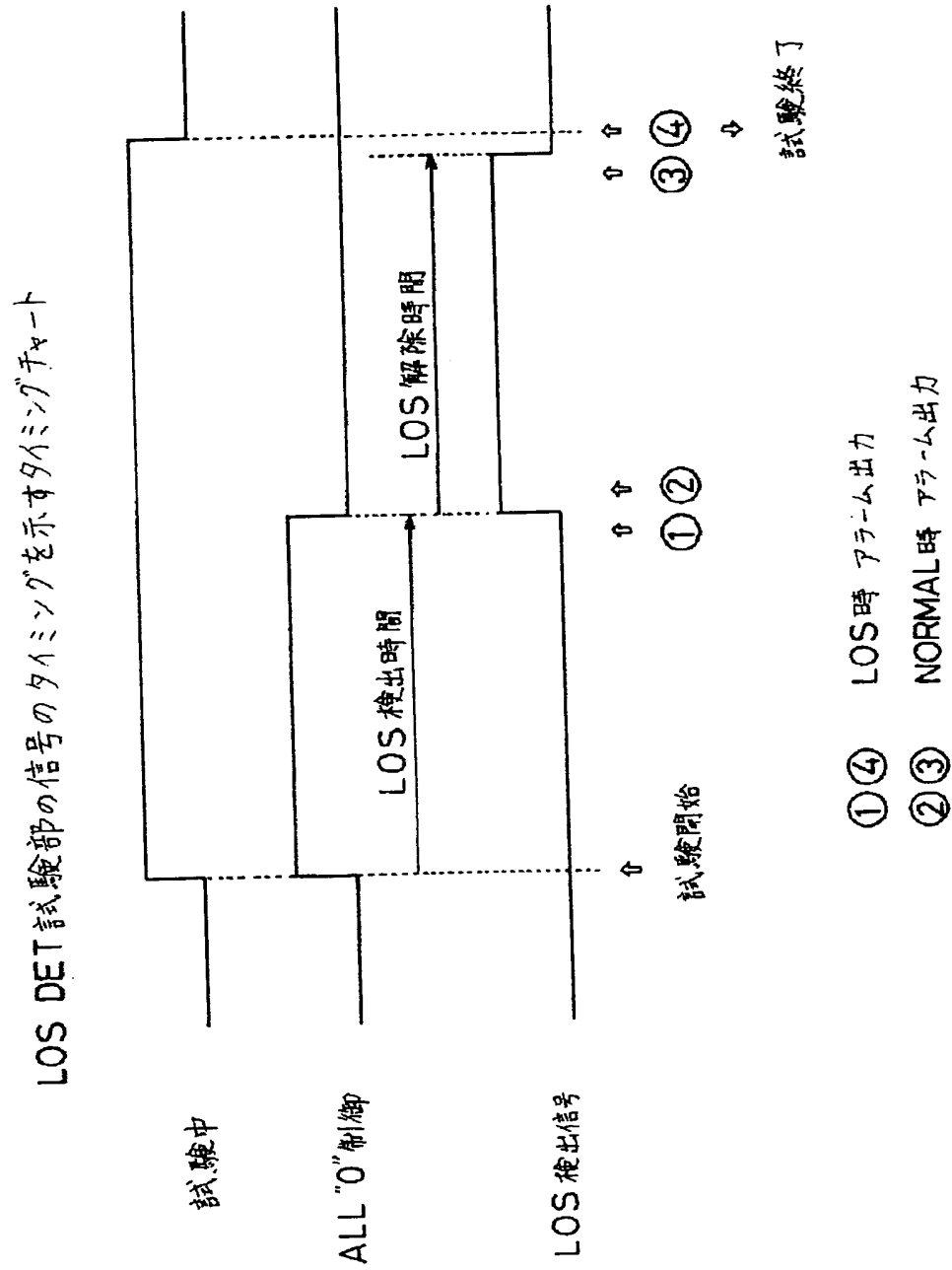
電源電圧を変動させて内部動作マージンの余裕度をチェックするための回路を示すブロック図



【 図 6 】

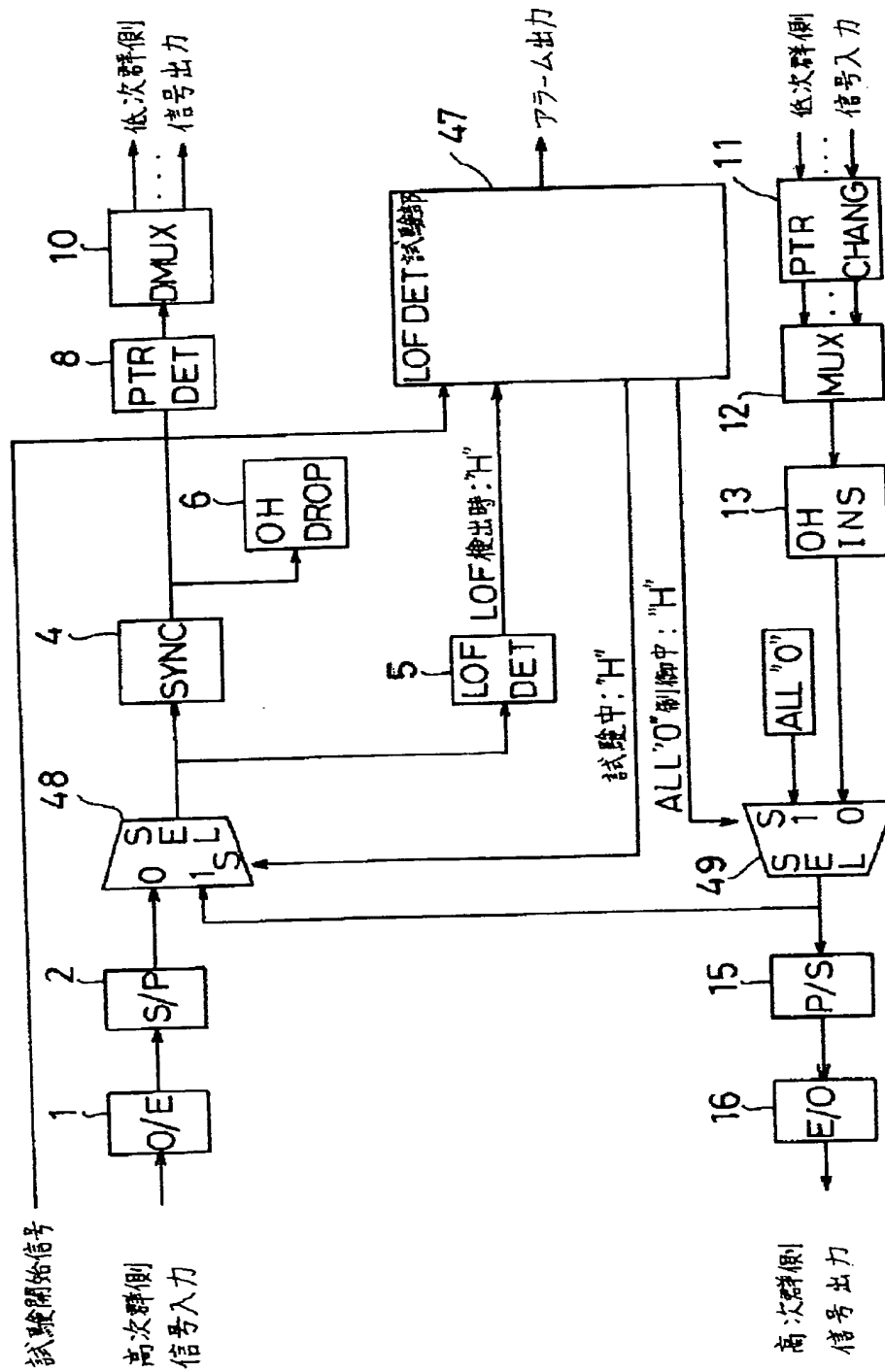


【図 8】



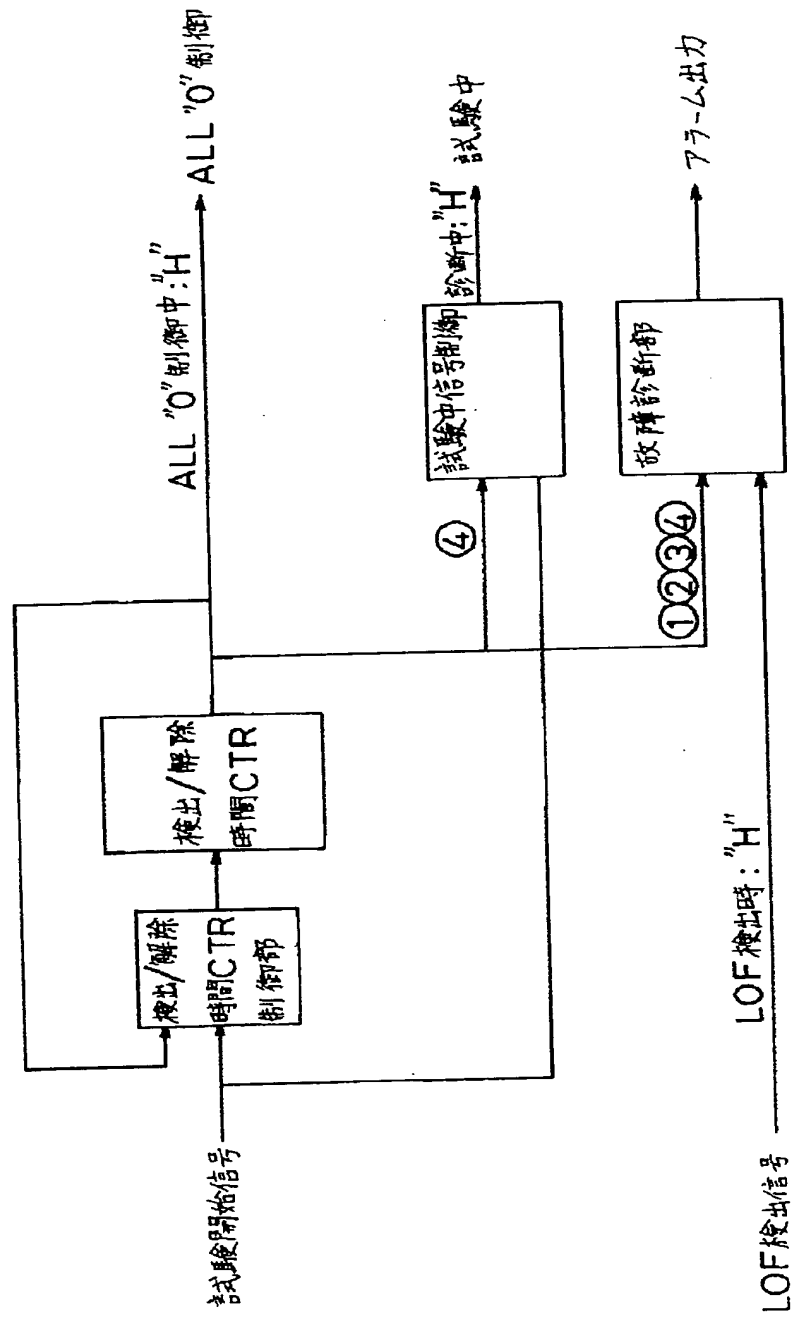
【 図 9 】

同期外水警報検出部を試験するためのLOF DET試験部を設けた回路を示すブロック図



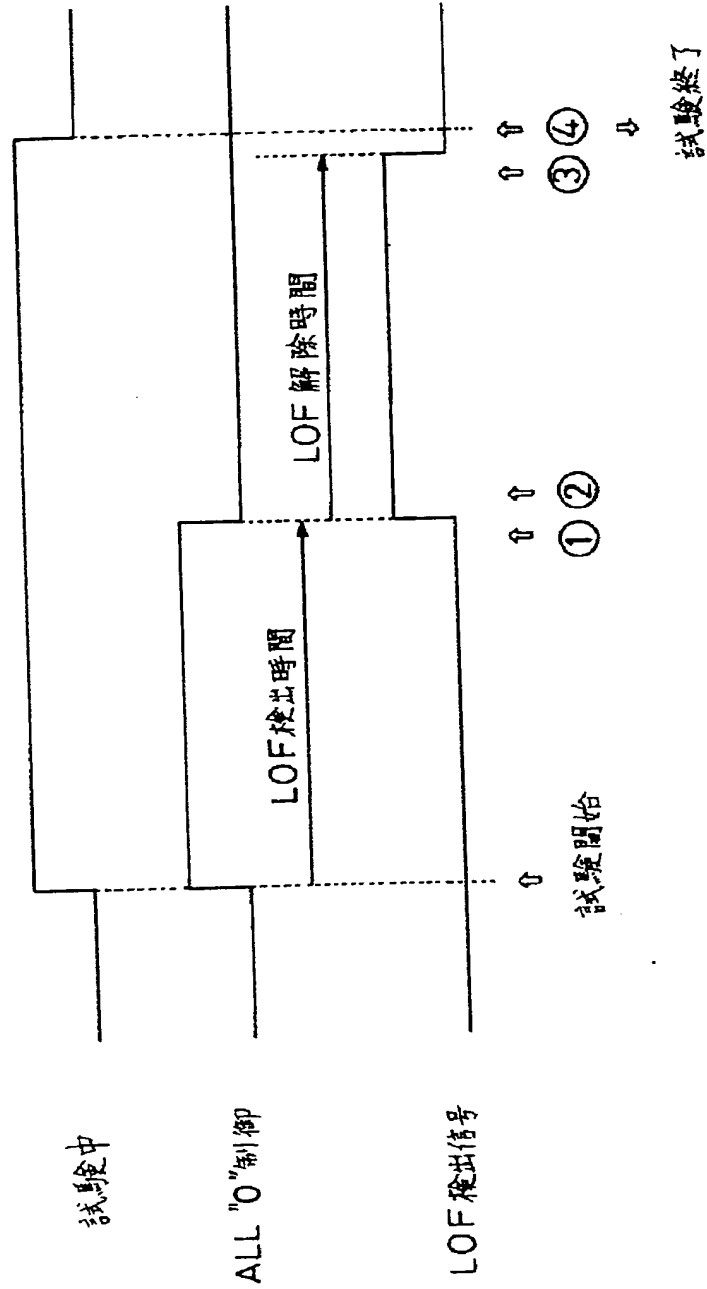
【図 10】

LOF DET 試験部の機能を示す機能ブロック図



【図 1 1】

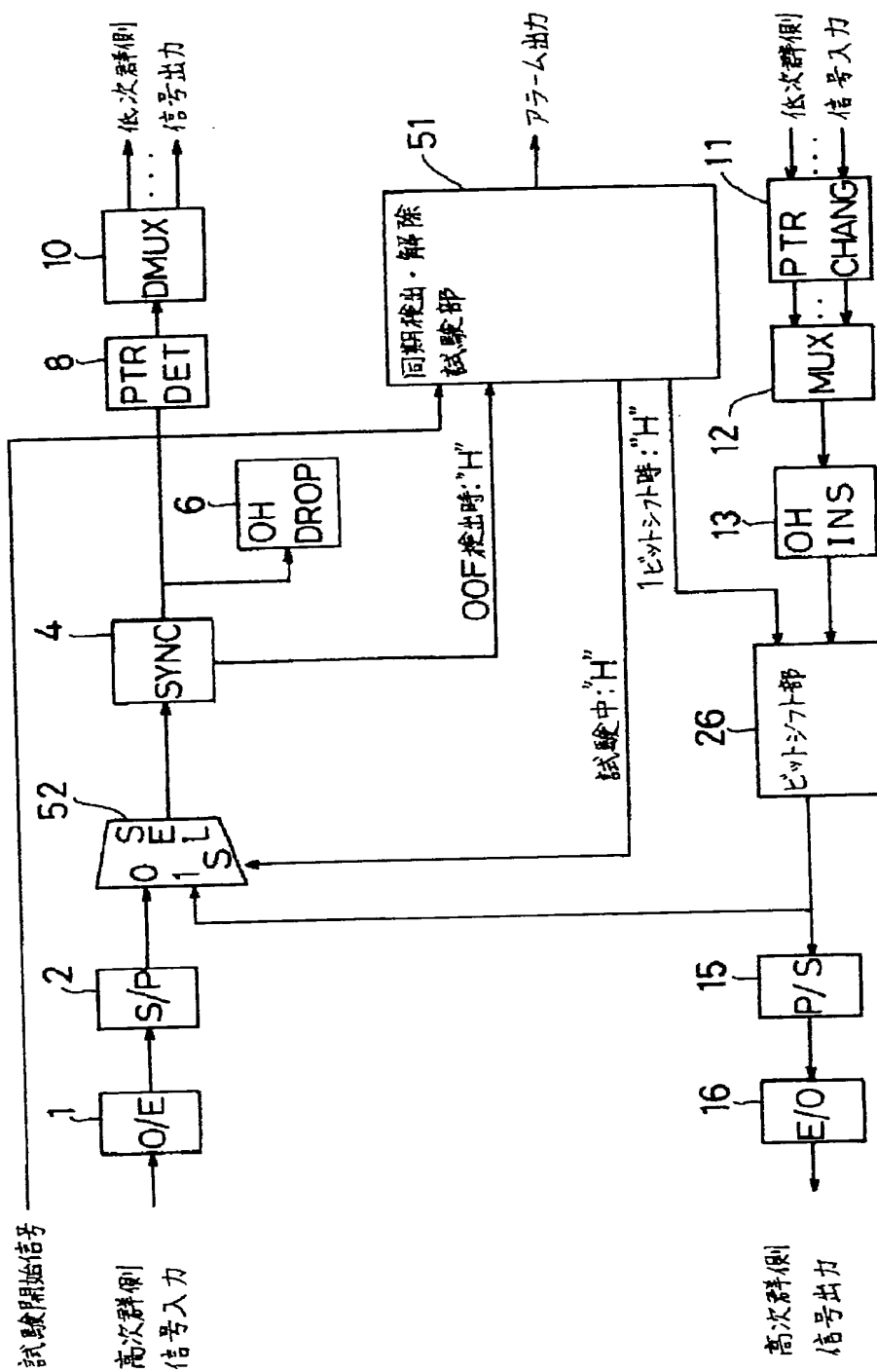
LOF DET 試験部の信号のタイミングを示すタイミングチャート



- ①④ : LOF時 アラーム出力
- ②③ : NORMAL時 アラーム出力

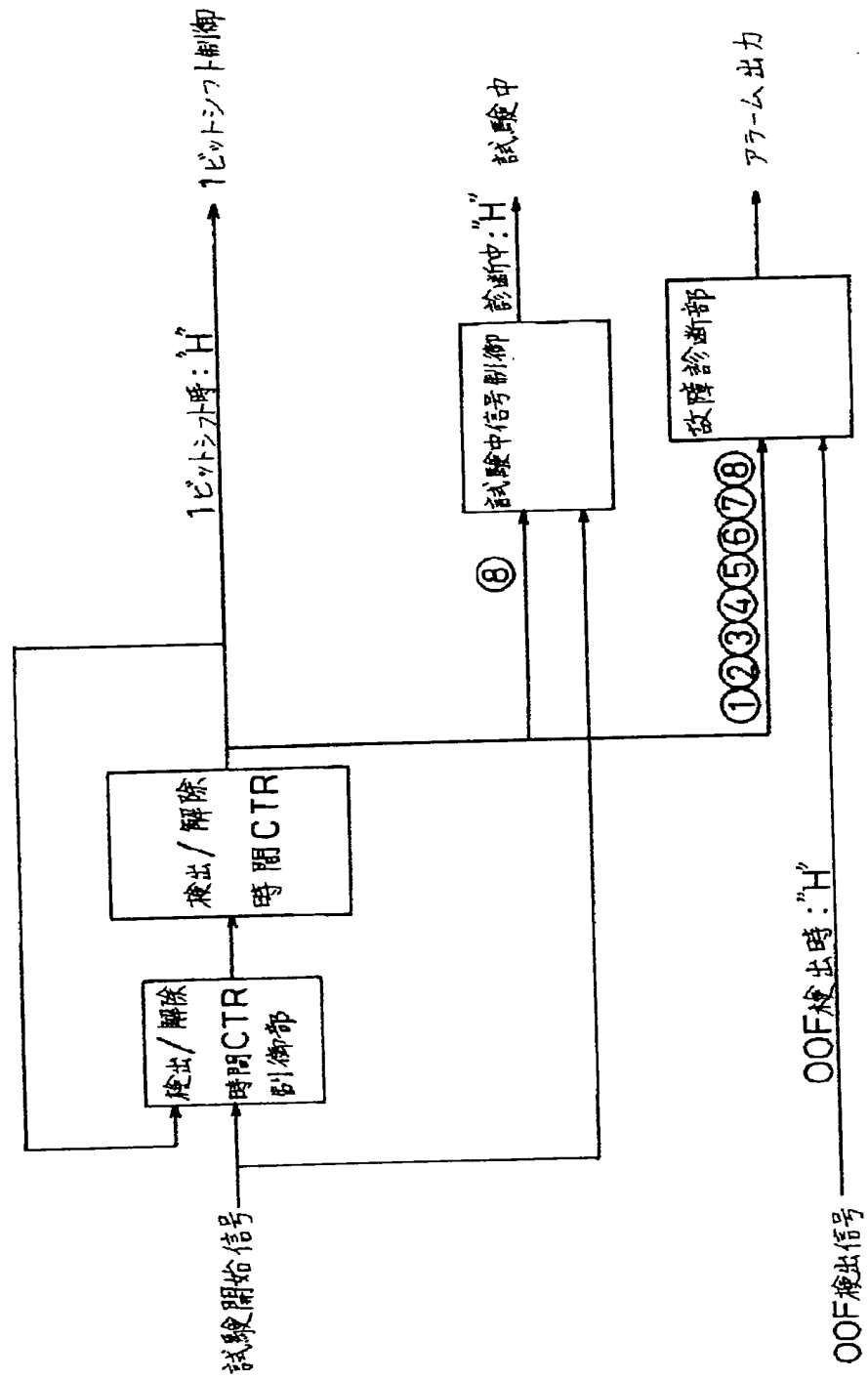
【図 1 2】

同期検出・解除を試験するための回路を示すブロック図



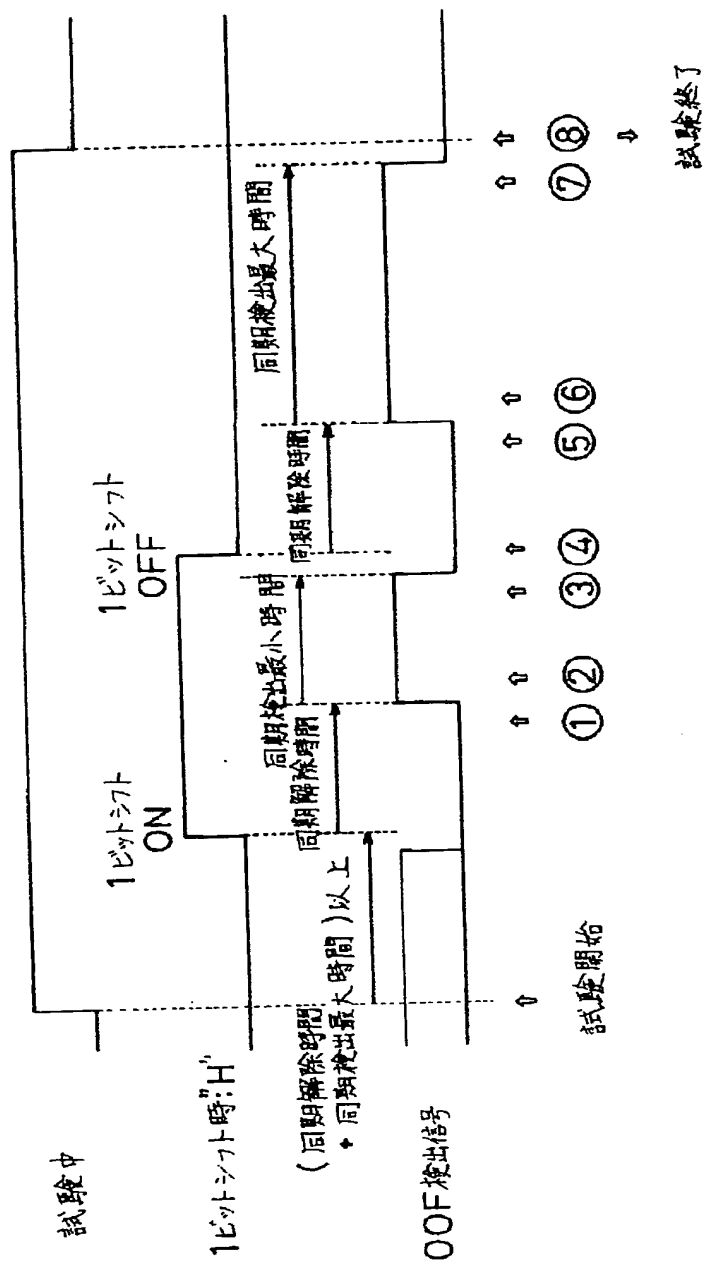
【図 13】

同期検出・解除試験部の機能を示す機能ブロック図



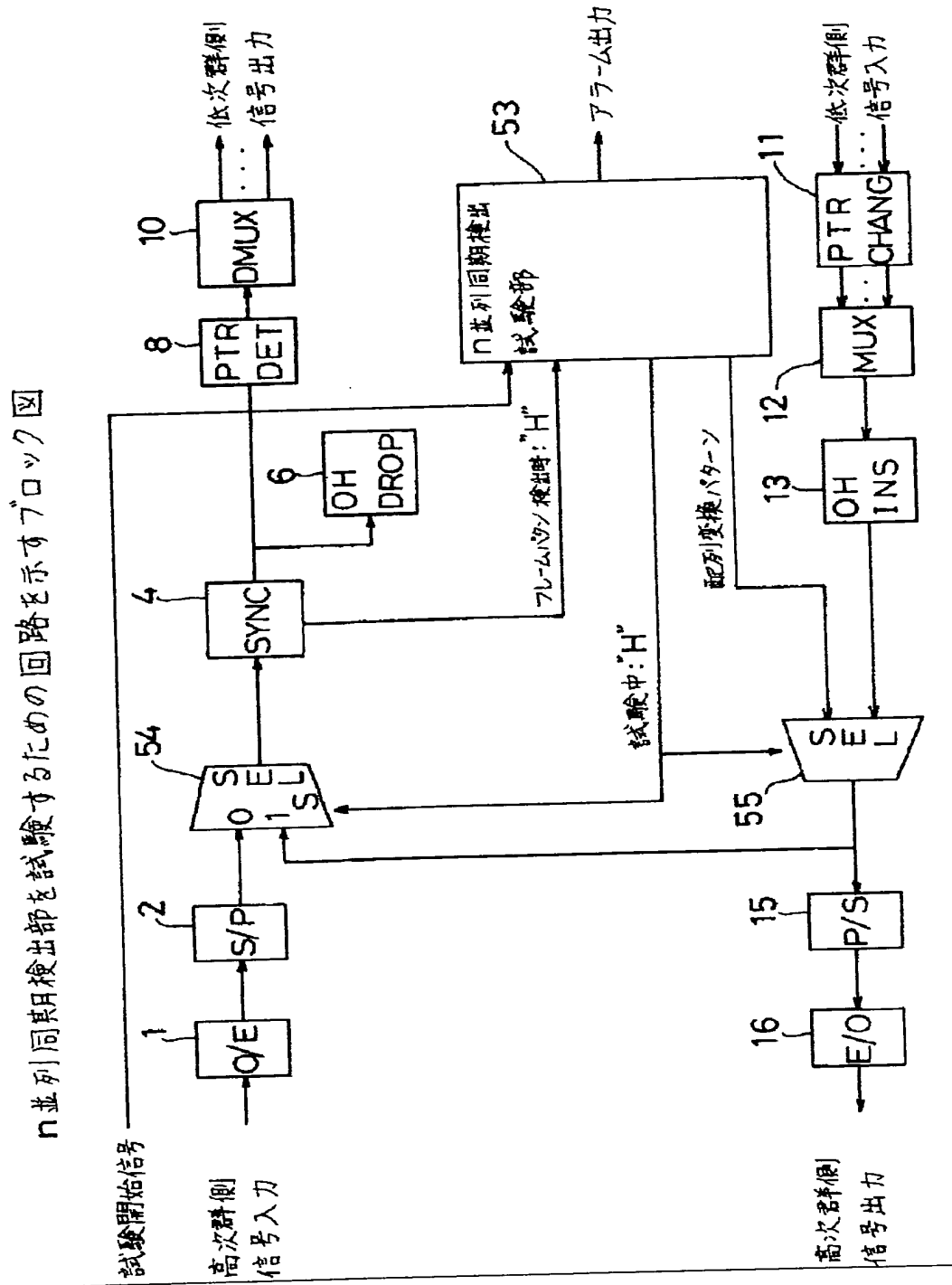
【図 1 4】

同期検出・解除試験部の信号のタイミングを示すタイミングチャート



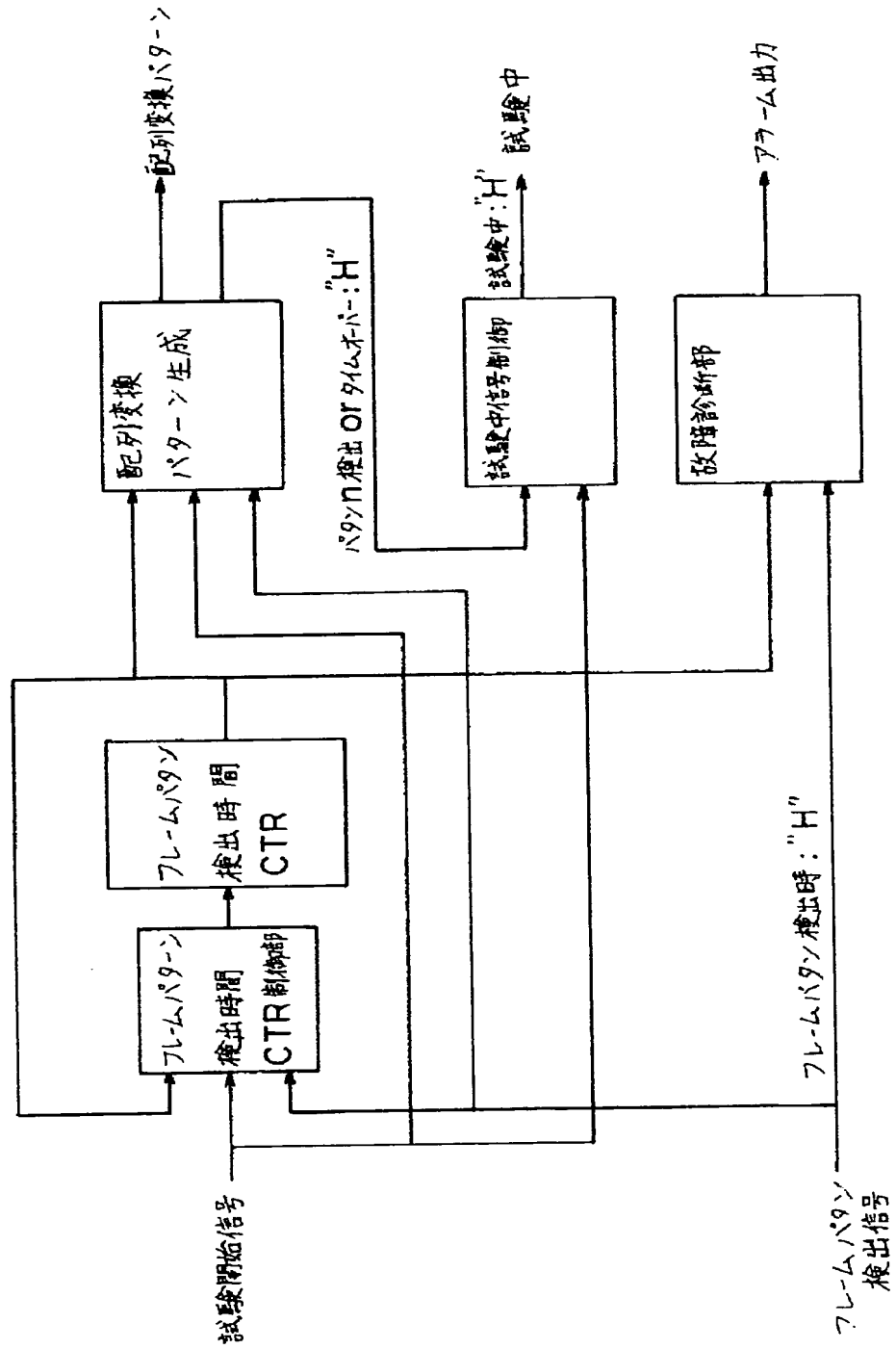
- ① ④ ⑤ ⑧ : OOF 時 アラーム出力
- ② ③ ⑥ ⑦ : NORMAL 時 アラーム出力

【 図 1 5 】



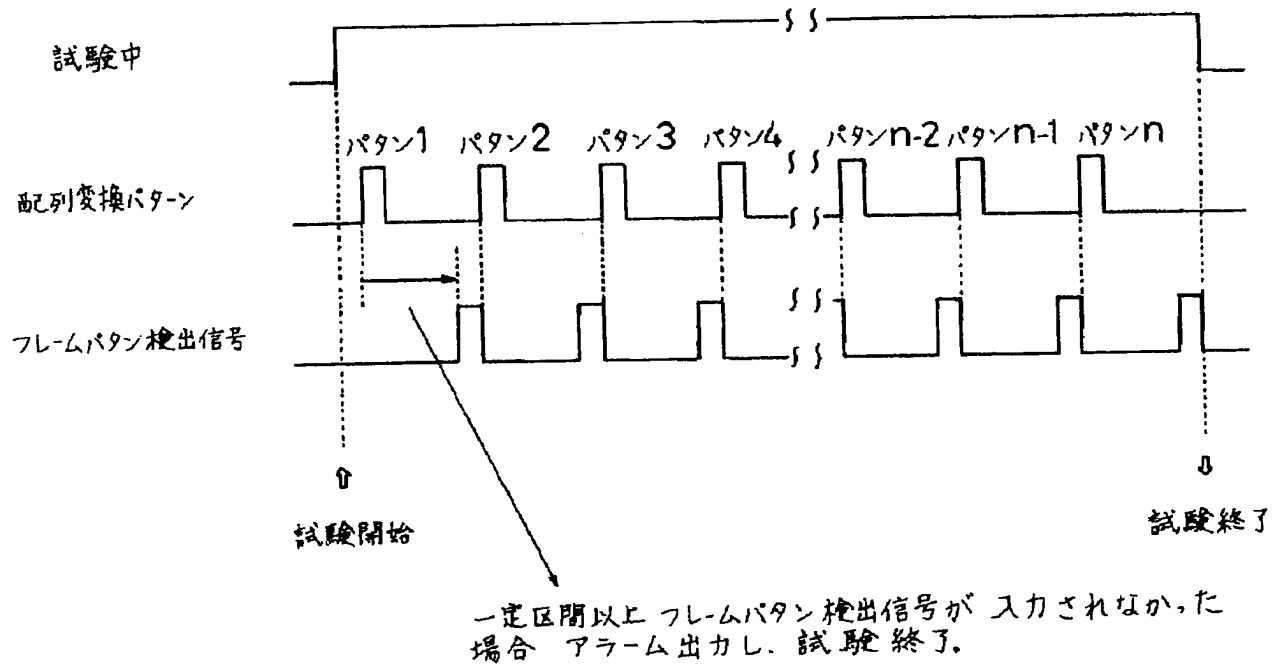
【図 16】

n並列同期検出試験部の機能を示す機能ブロック図



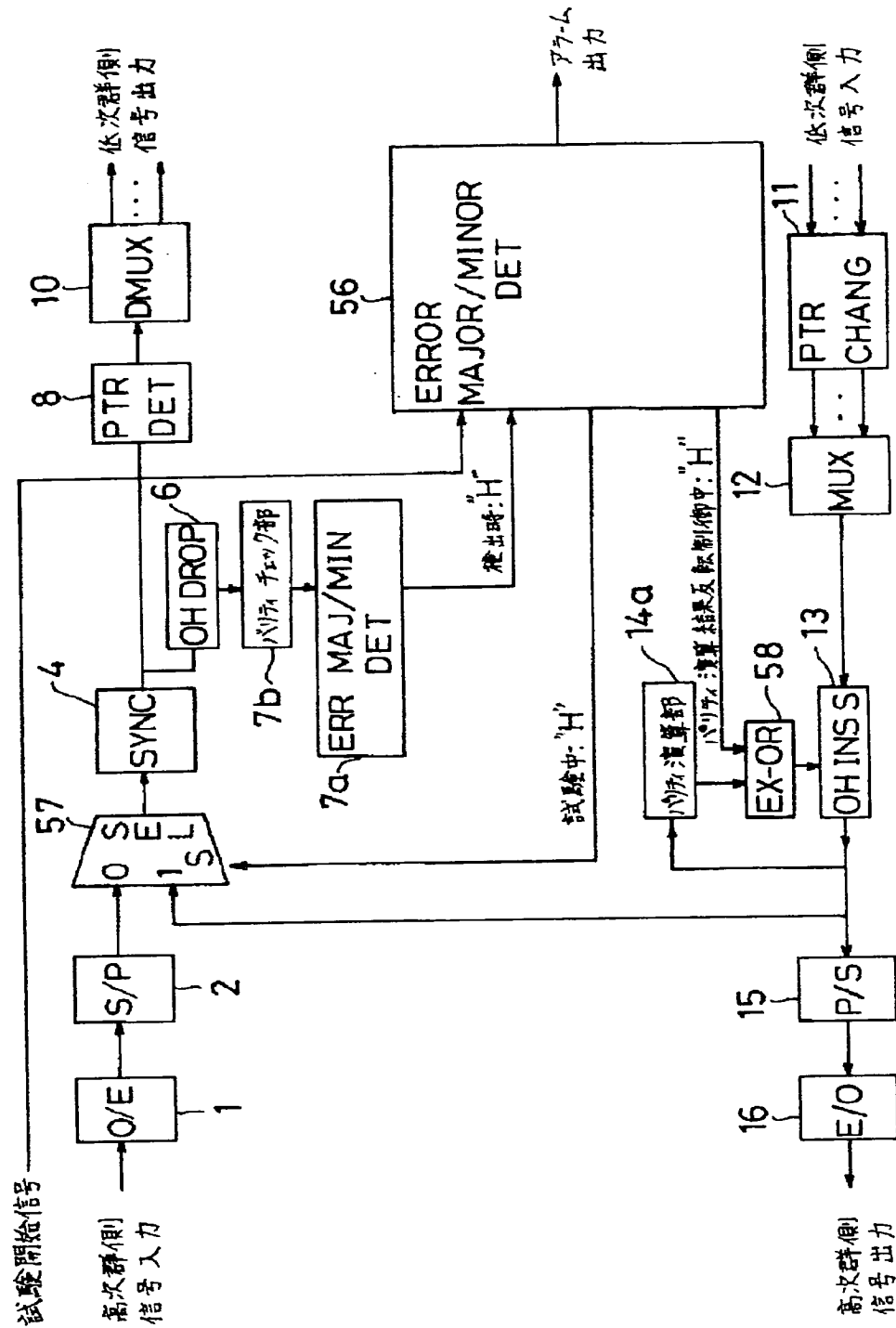
【図 17】

n 並列同期検出試験部の信号のタイミングを示すタイミングチャート



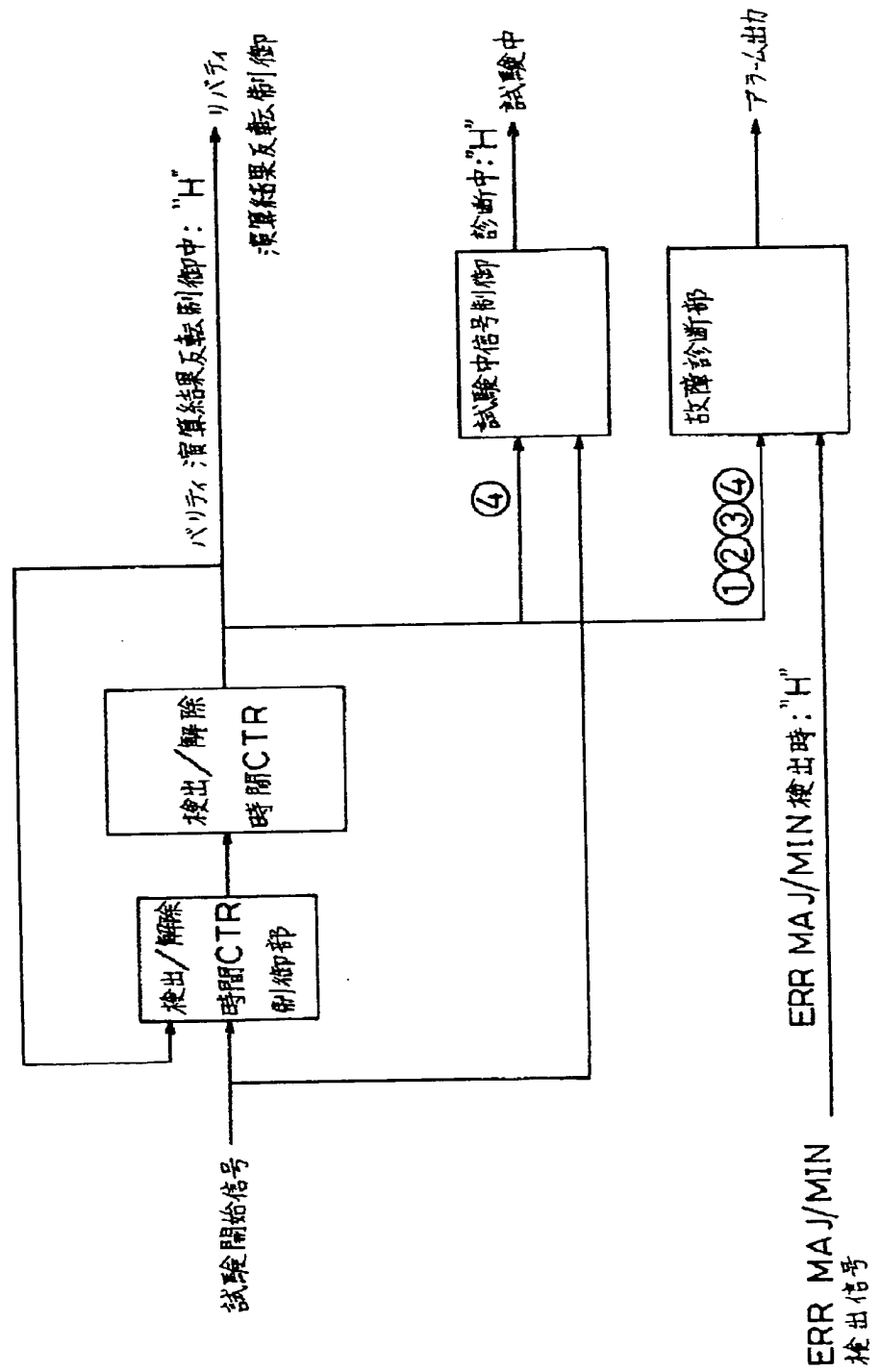
【 図 1 8 】

伝送路のビット誤り率を検出するERR MAJ/MIN DETを試験するための回路を示すブロック図



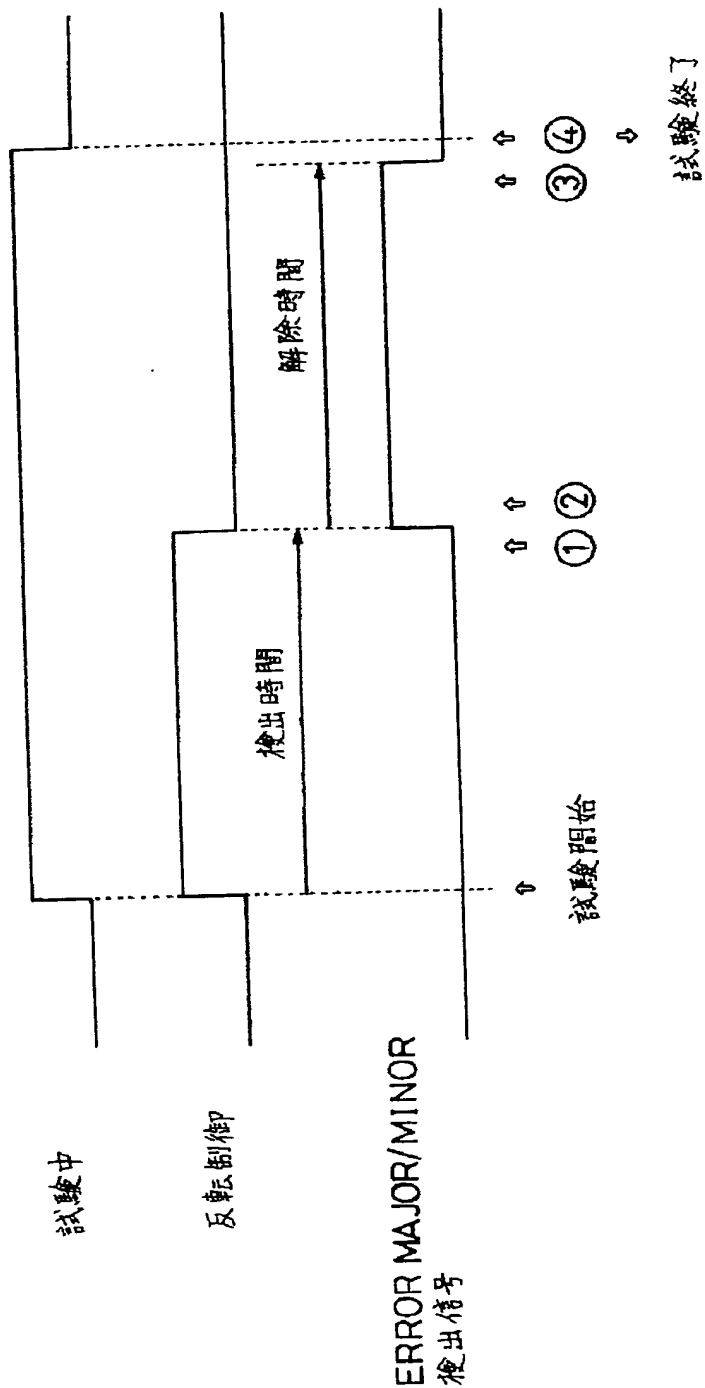
【 図 1 9 】

ERR MAJ/MIN DET 試験部の機能を示す機能ブロック図



【図 20】

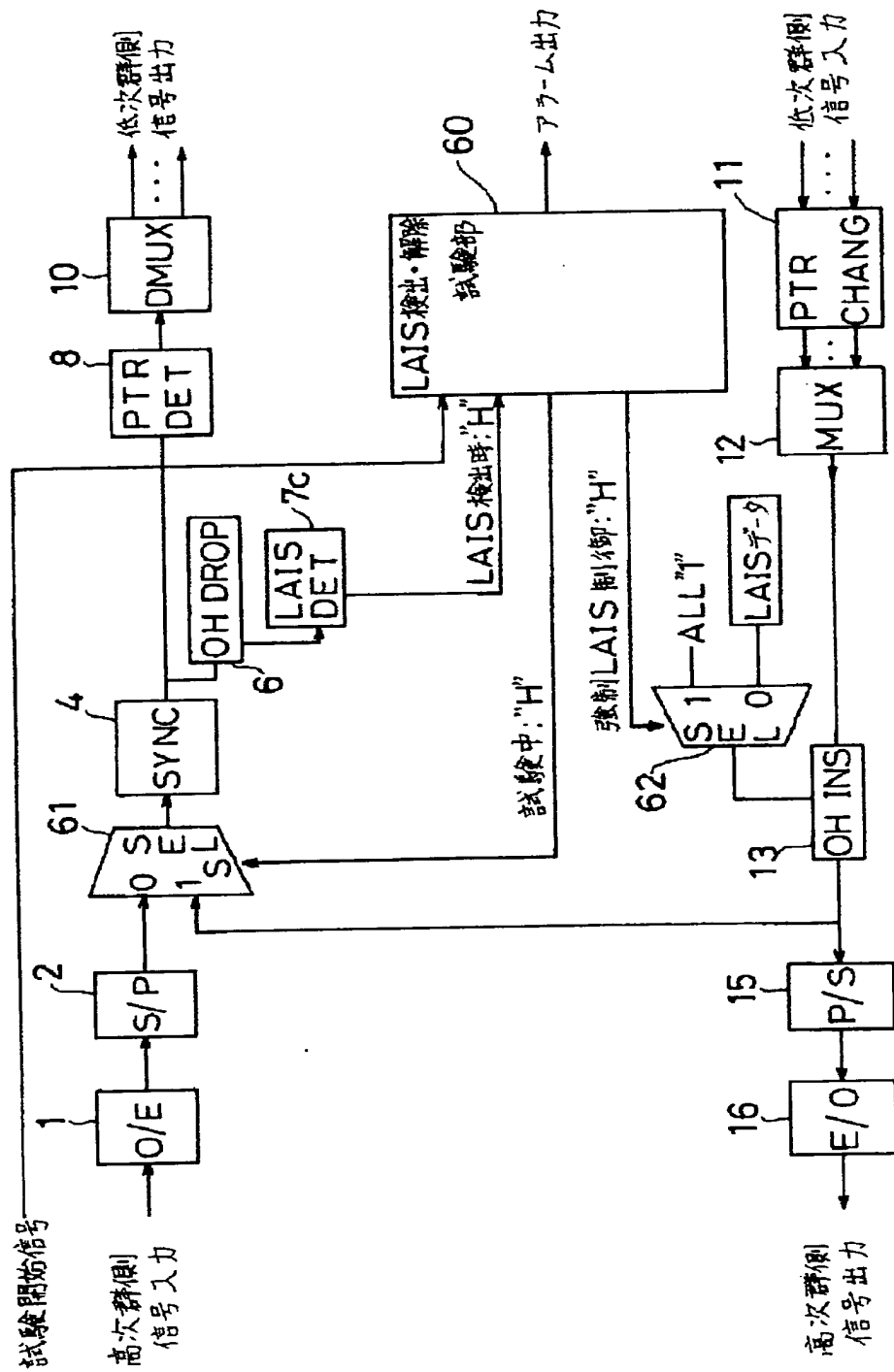
ERR MAJ/MIN DET 試験部の信号のタイミングを示すタイミングチャート



- ① ④: ALARM時 アラーム出力
- ② ③: NORMAL時 アラーム出力

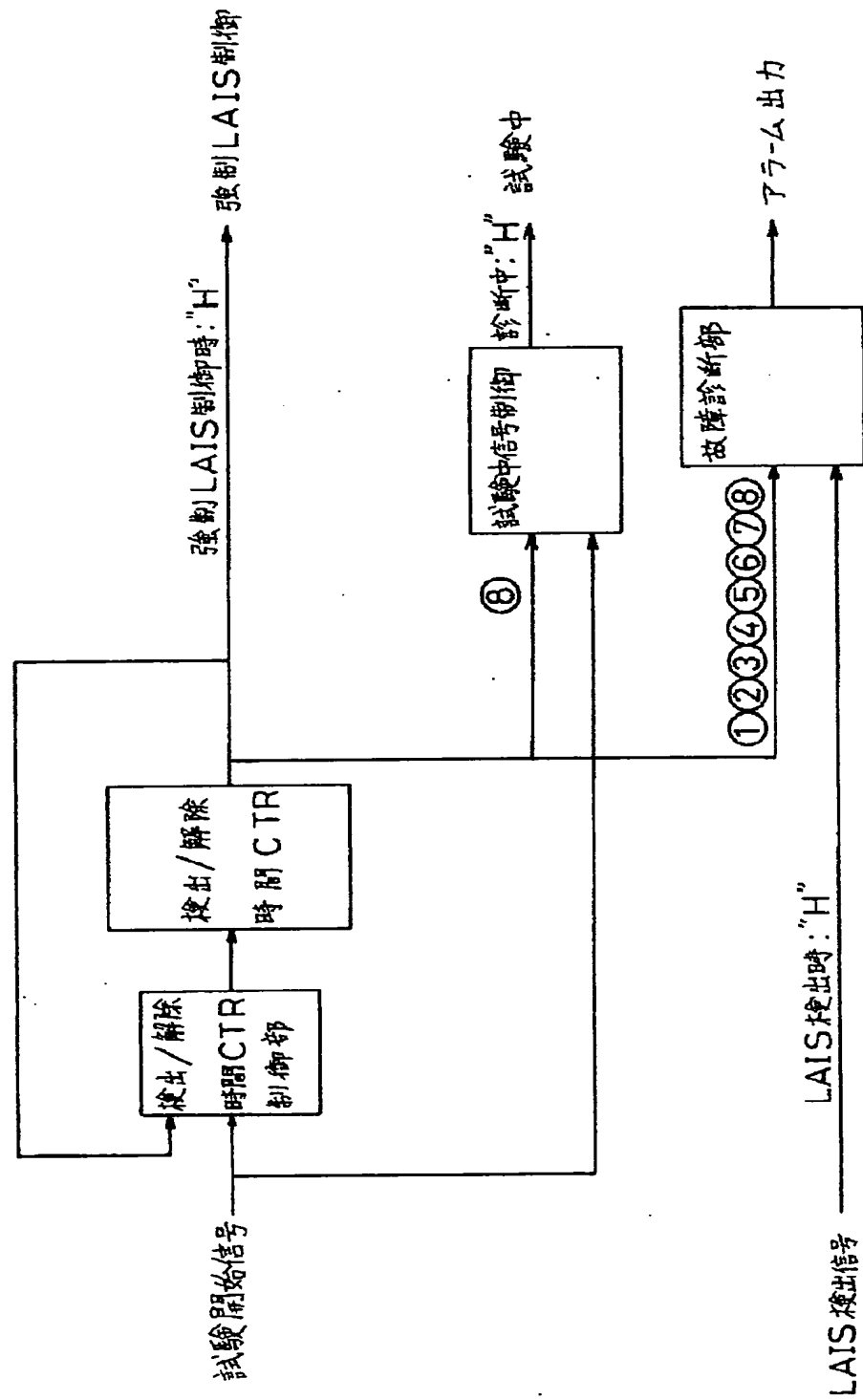
【図 21】

LAIS DET を試験するための回路を示すブロック図

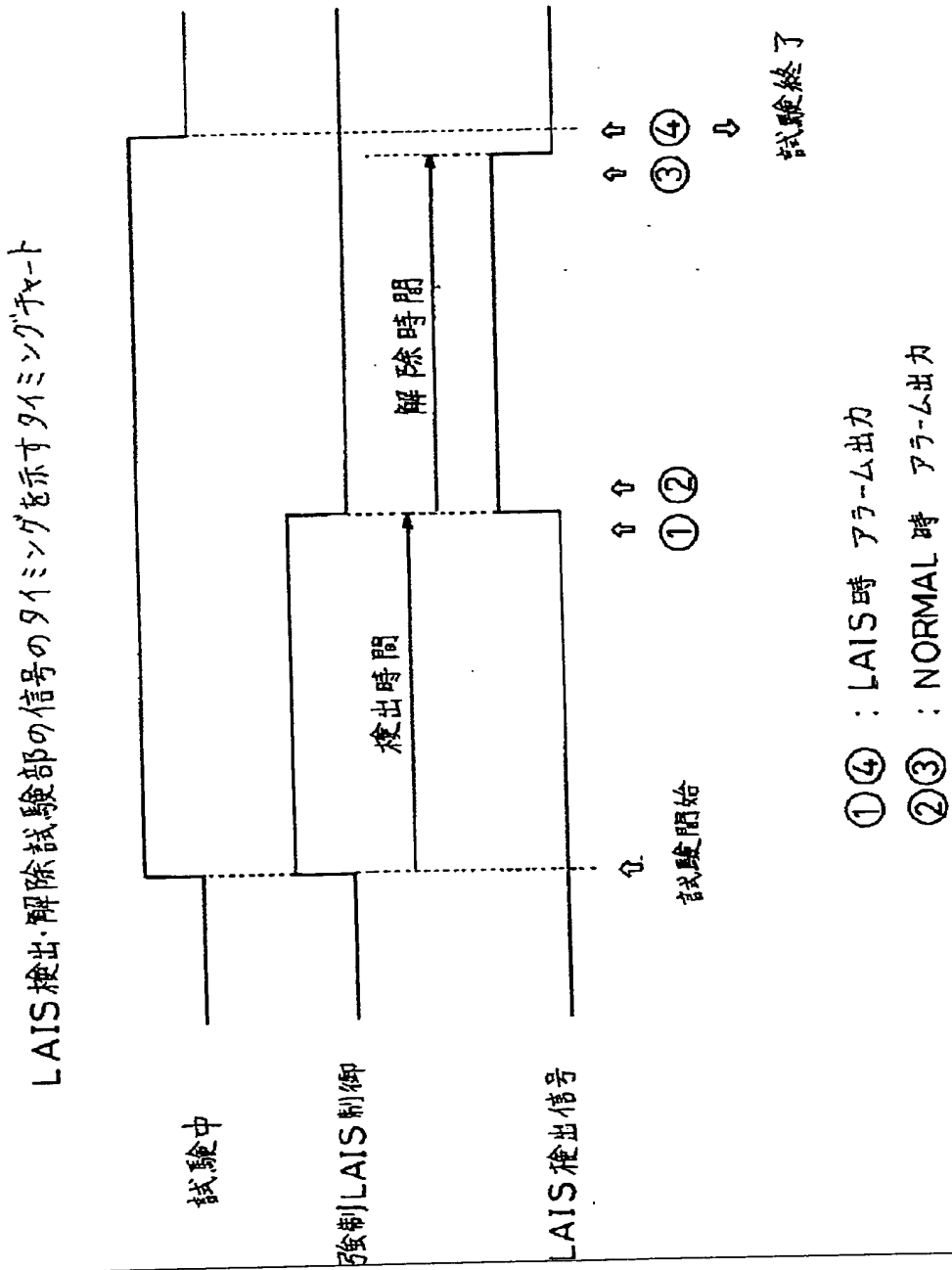


【図 22】

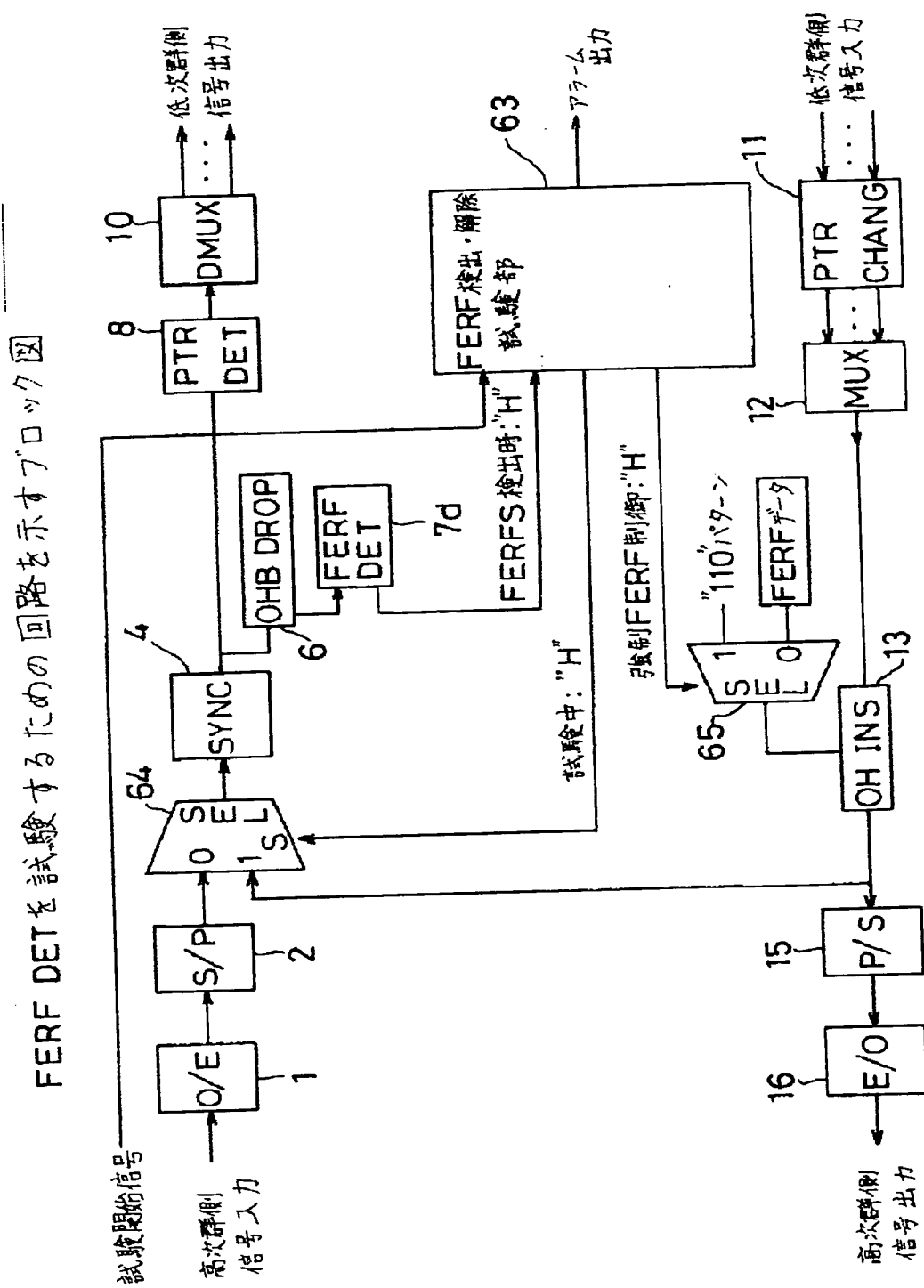
LAIS検出・解除試験部の機能を示す機能ブロック図



【図 23】

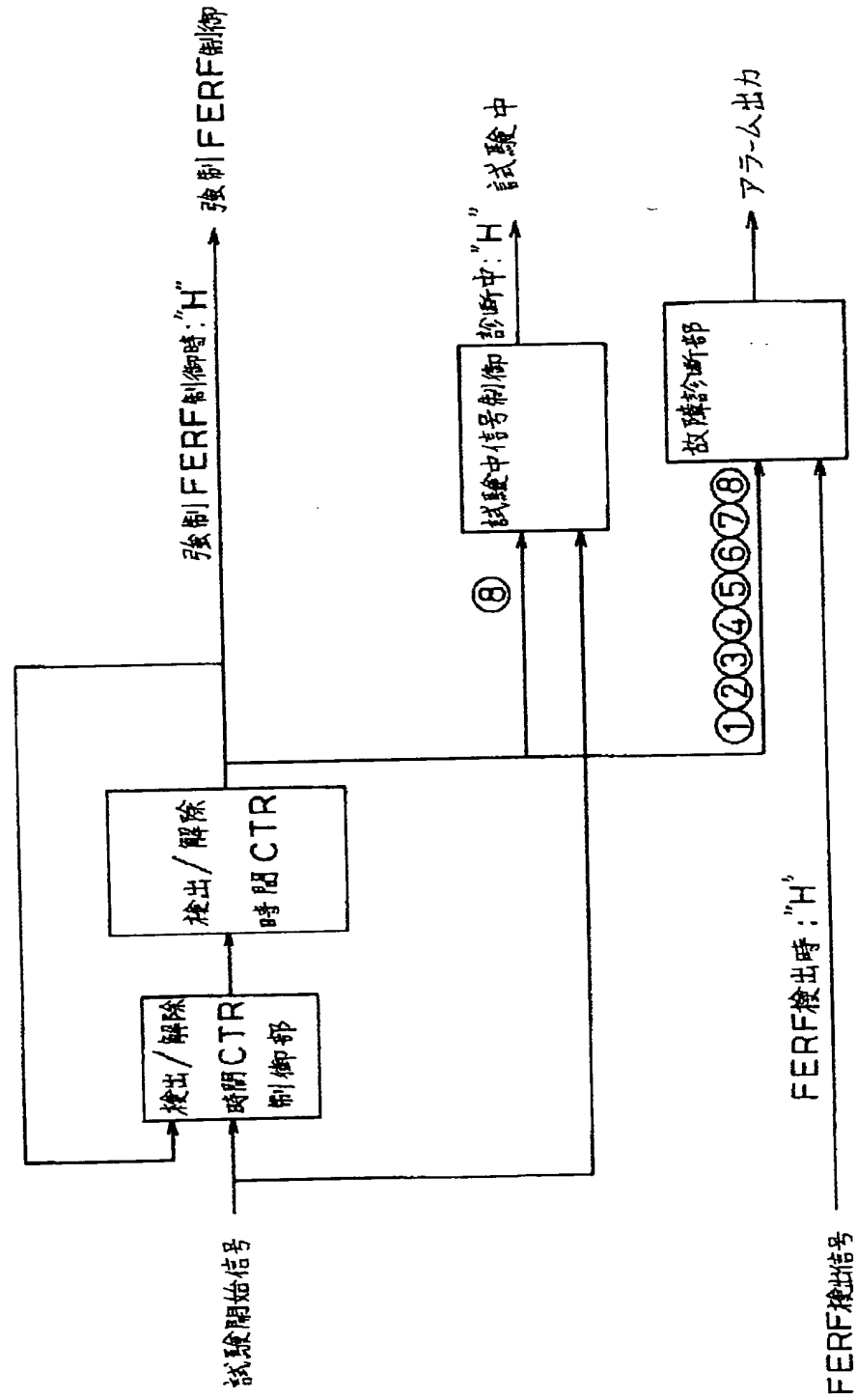


【図 2 4】



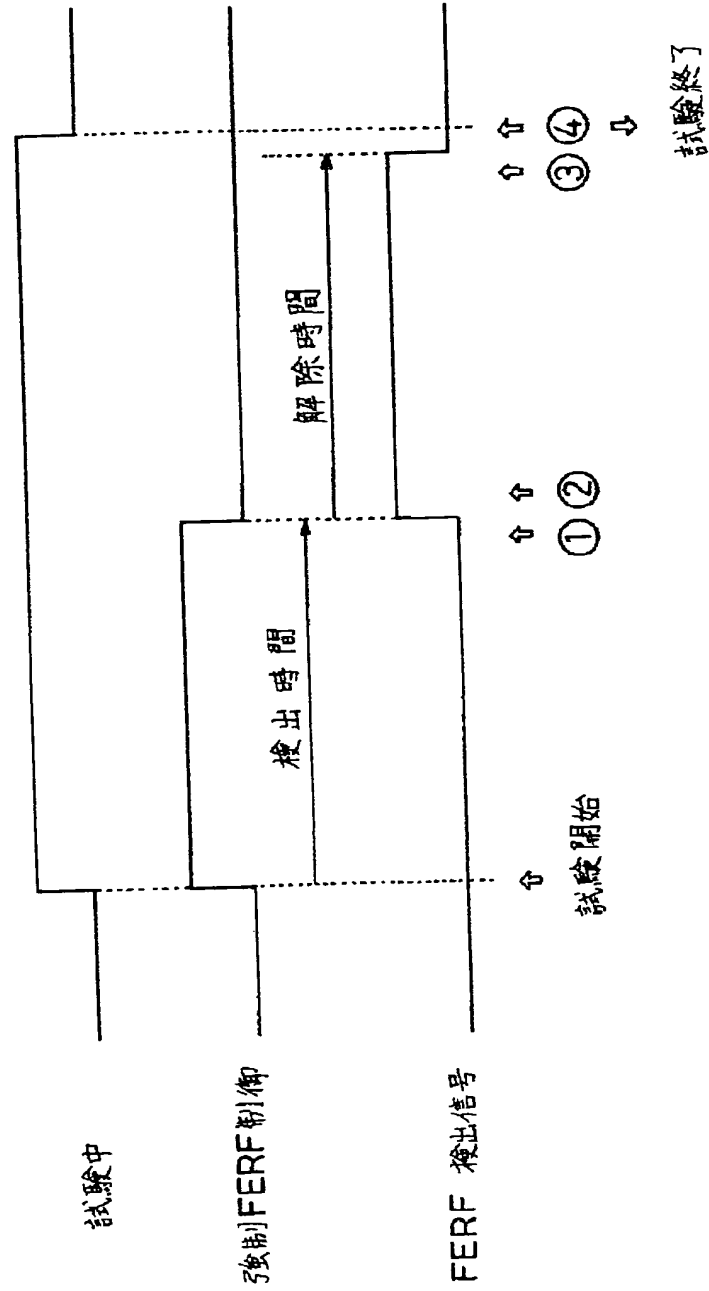
【図 25】

FERF検出・解除試験部の機能を示す機能ブロック図



【図 26】

FERF検出・解除試験部の信号のタイミングチャート

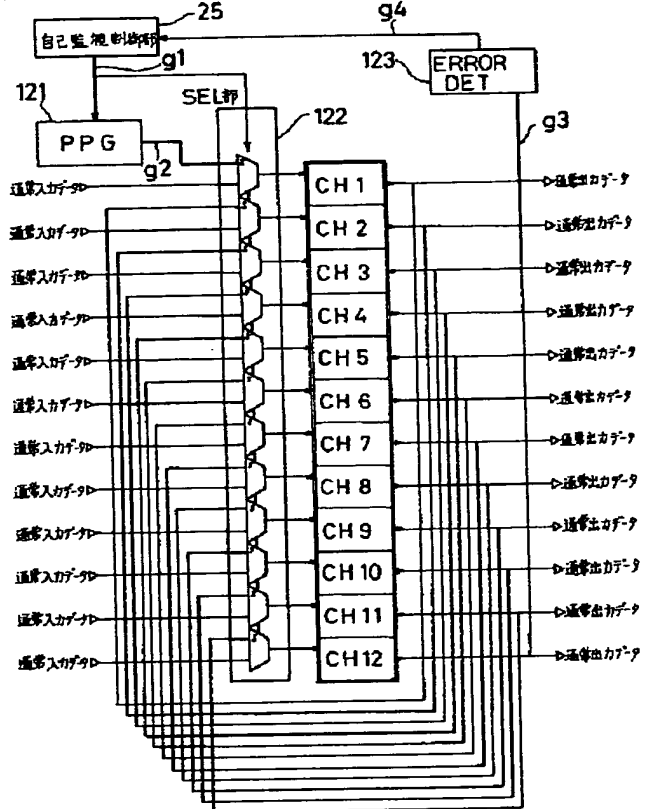
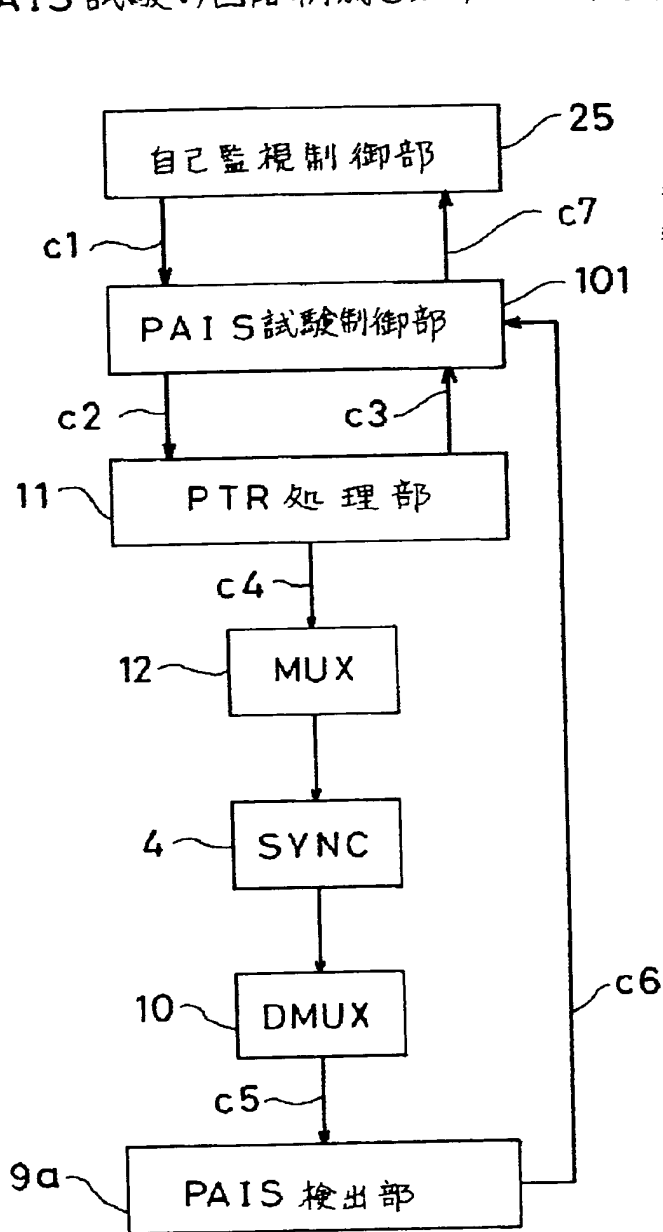


- ①④ : FERG時 アラーム出力
- ②③ : NORMAL時 アラーム出力

【図 27】

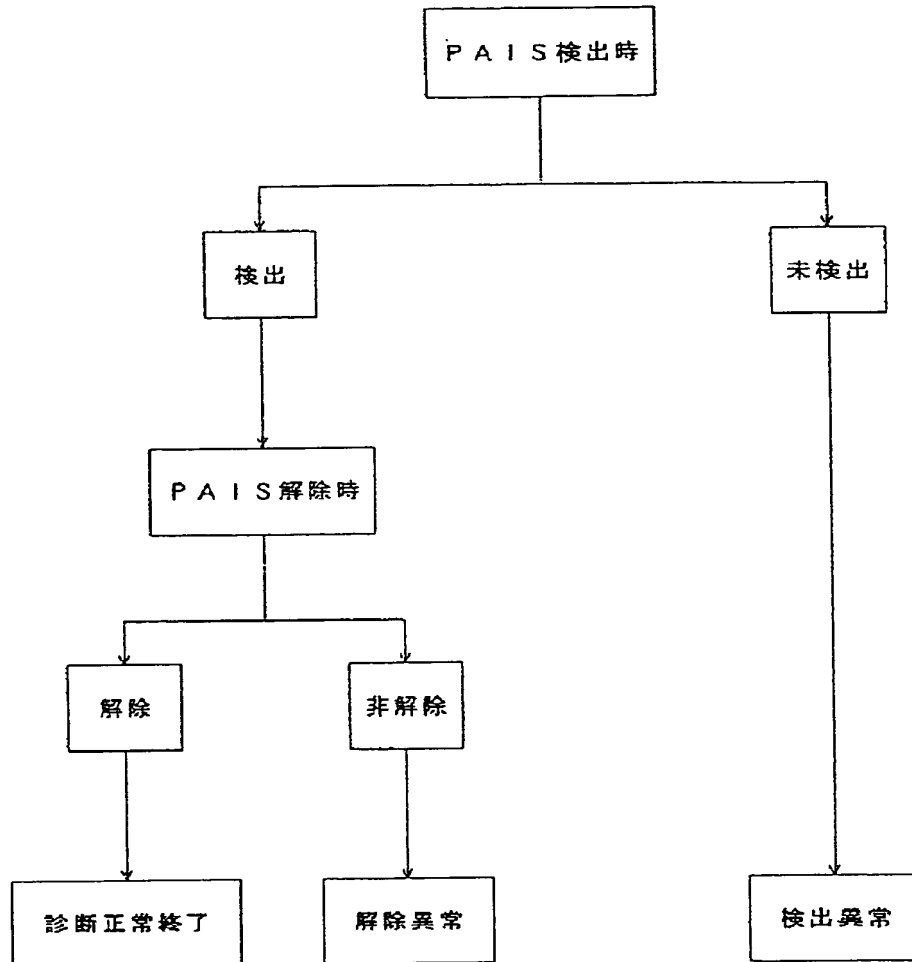
【図 34】

PAIS 試験の回路構成を示すブロック図



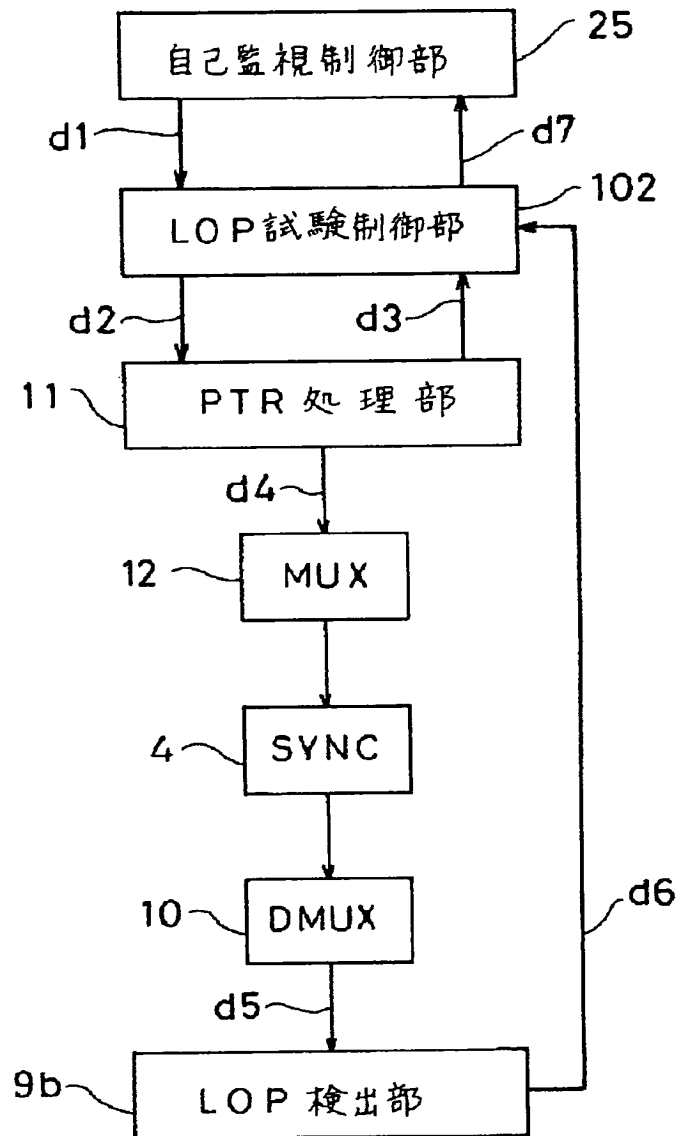
【図 2 8】

PAIS 試験の流れを示すフローチャート



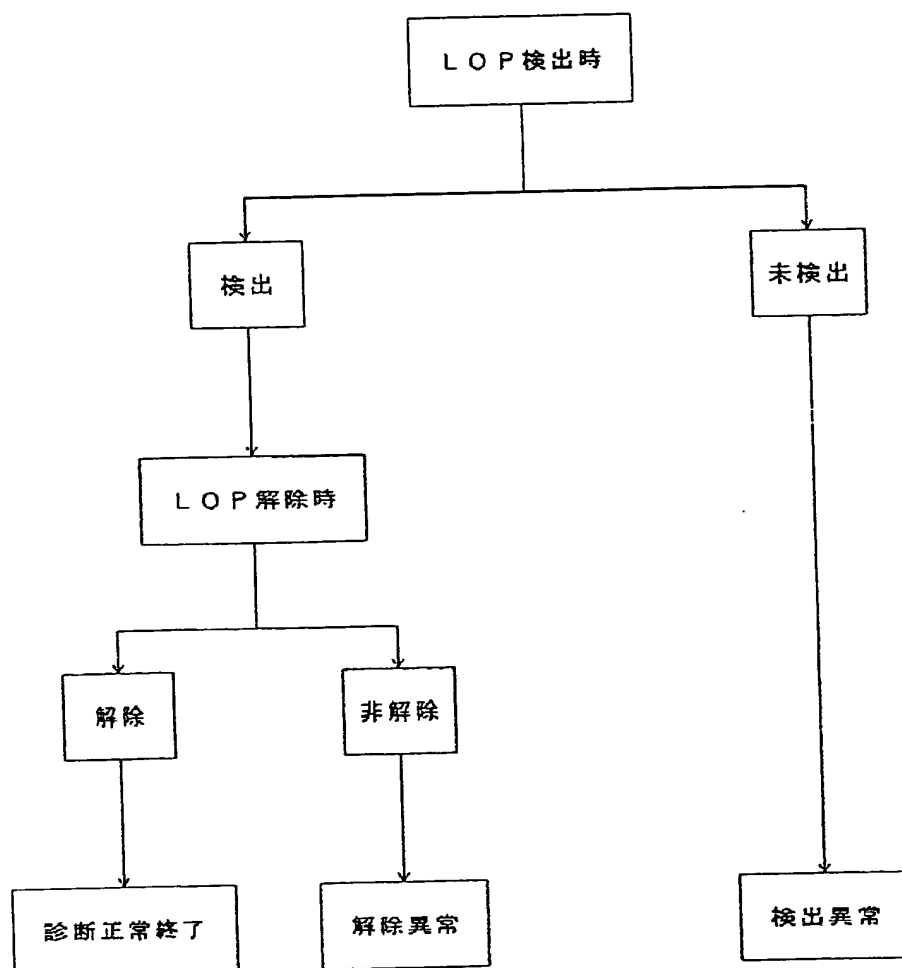
【図 29】

LOP 試験の回路構成を示すブロック図



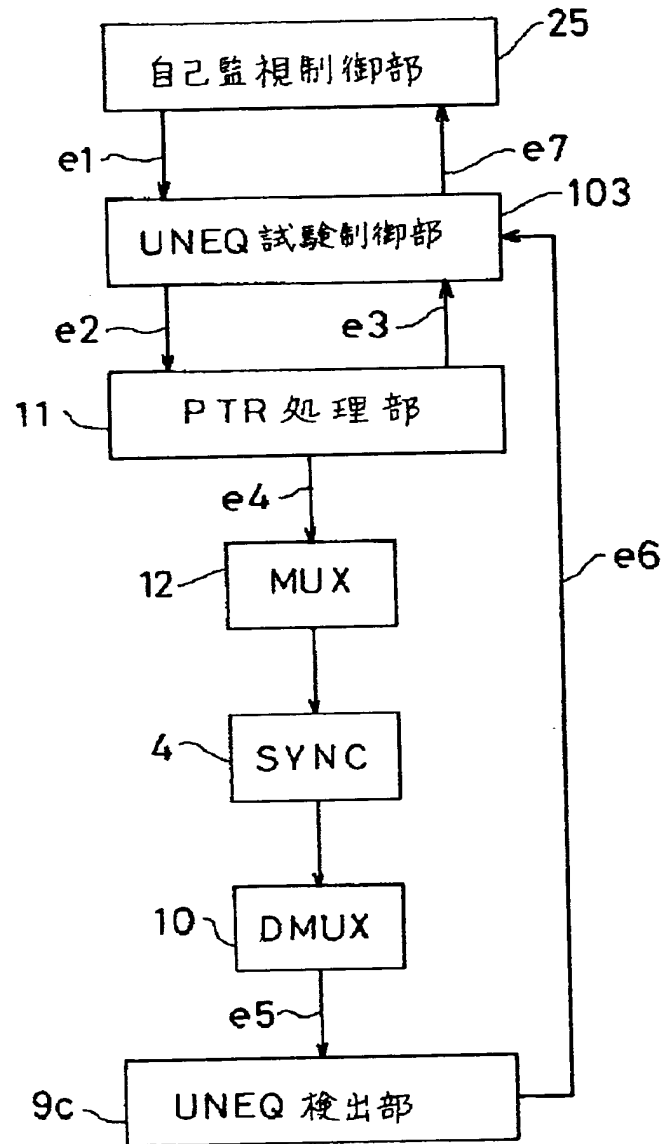
【図 3 0】

LOP 試験の流れを示すフローチャート



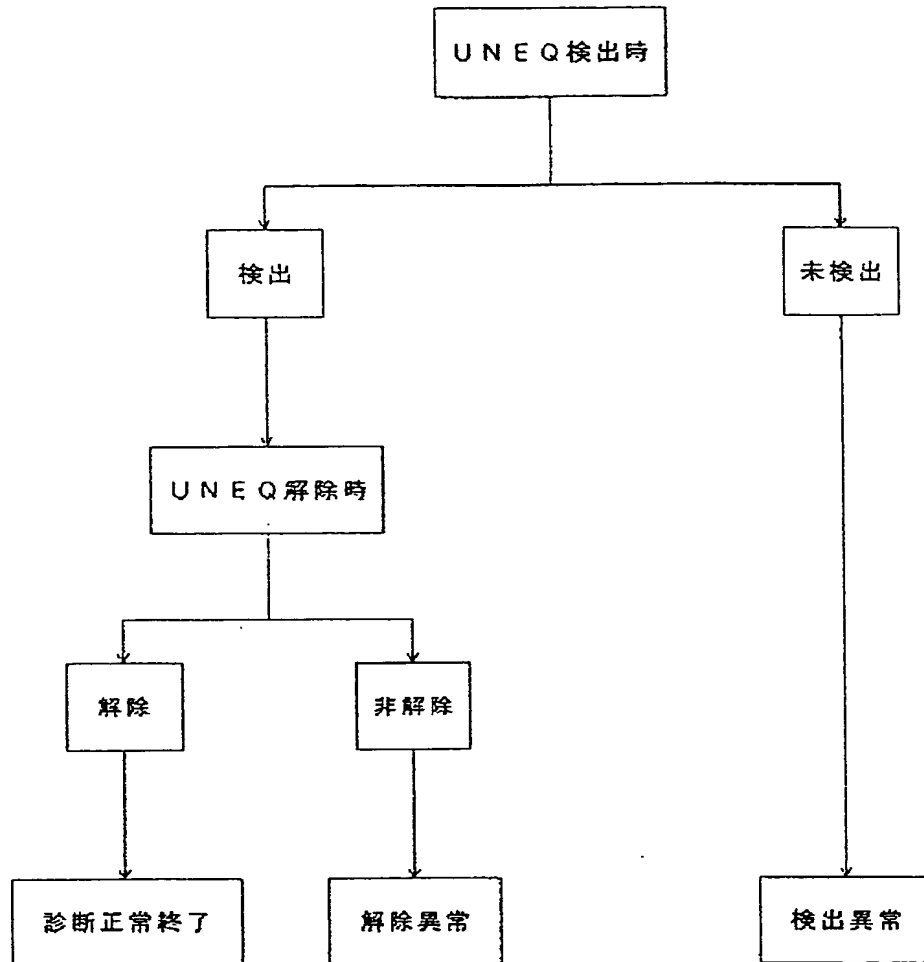
【図 3 1】

UNEQ試験の回路構成を示すブロック図

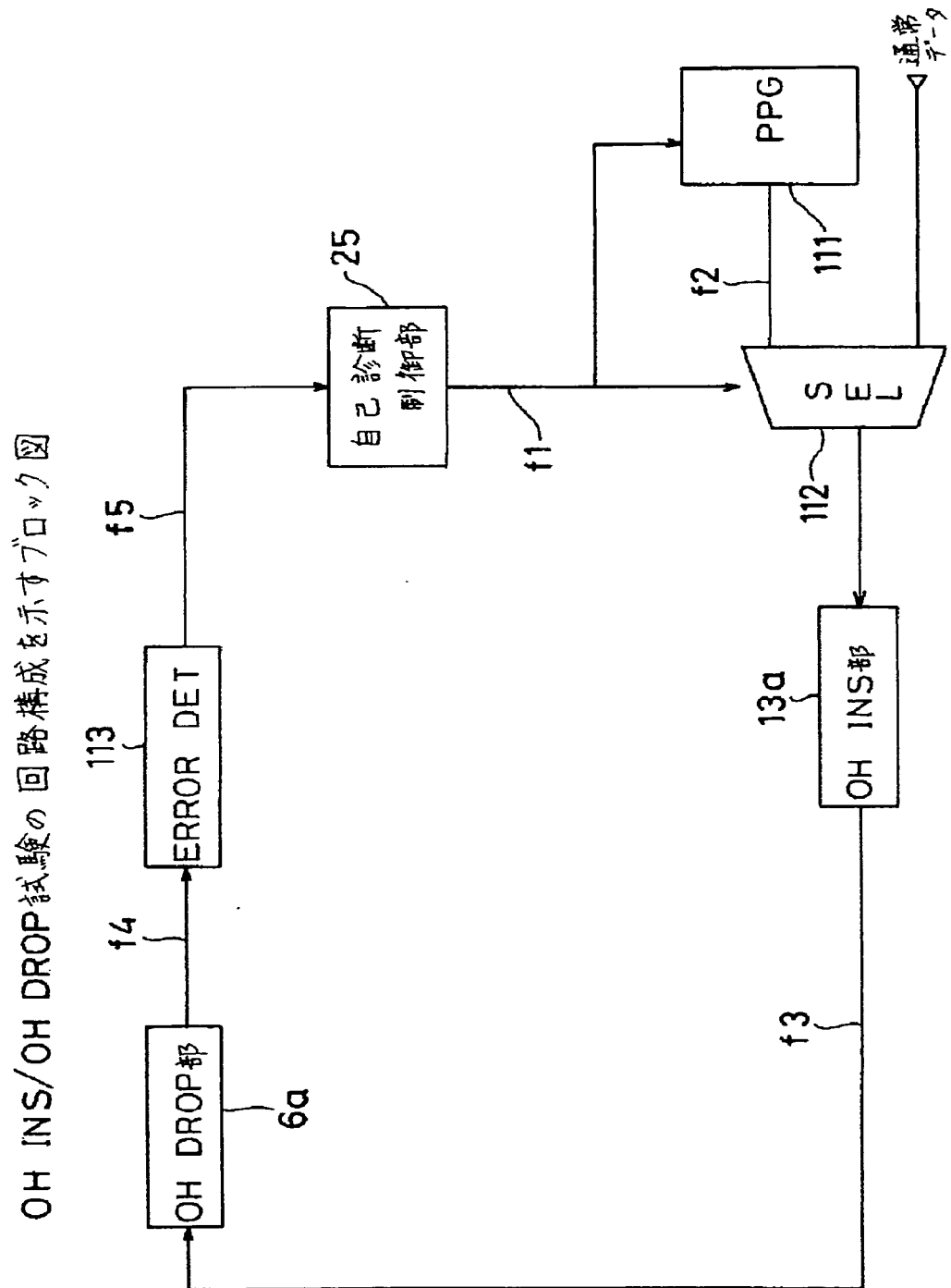


【図 3 2】

UNEQ試験の流れを示すフローチャート



【図 3 3】



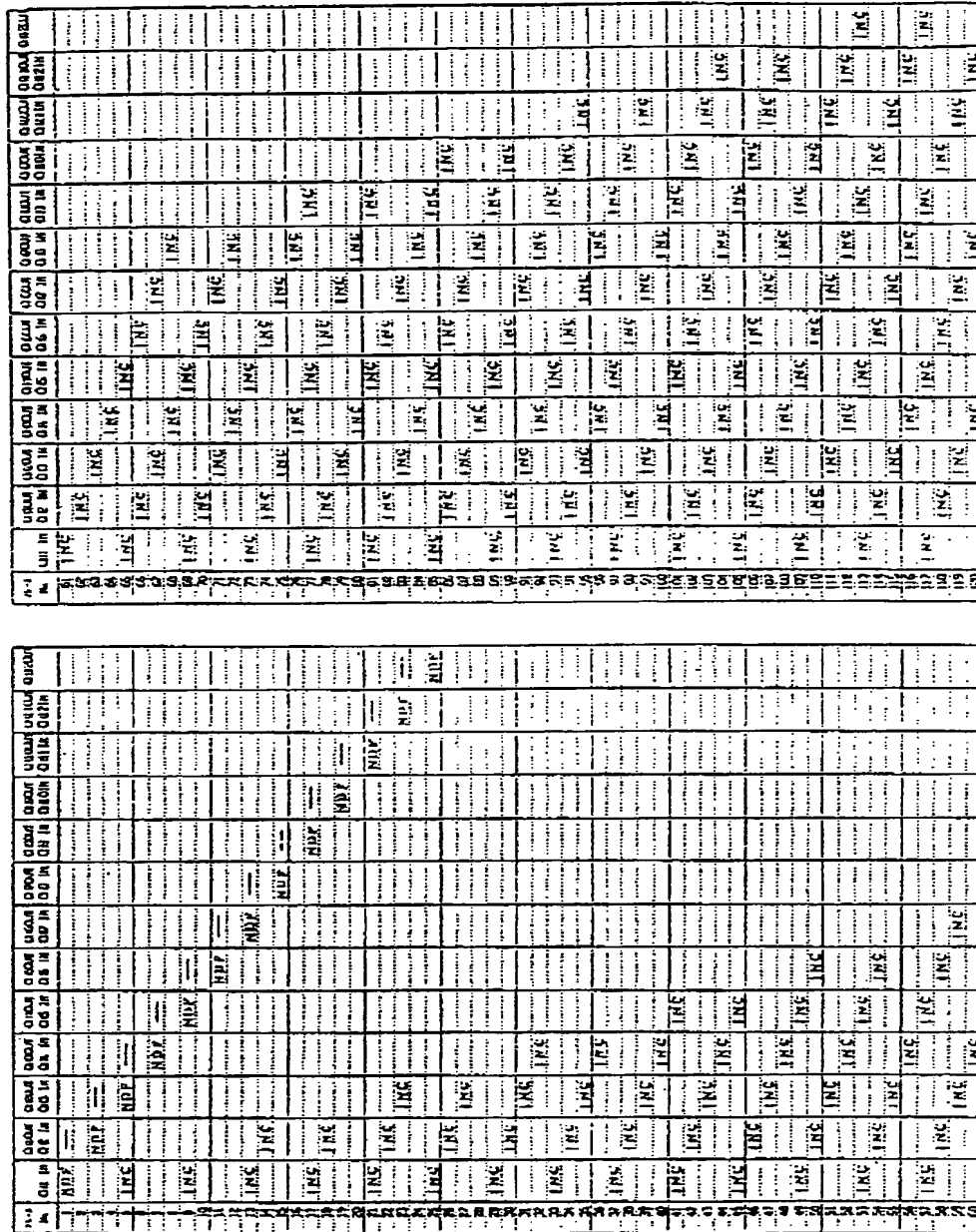
【图 3 5】

状態遷移を示す説明図

[illegible]

【図 3 6】

状態遷移を示す説明図



フロントページの続き

(72)発明者 梅垣 隆
大阪府大阪市中央区城見2丁目2番6号
富士通関西デジタル・テクノロジー株式会
社内

(72)発明者 井口 伸夫
大阪府大阪市中央区城見2丁目2番6号
富士通関西デジタル・テクノロジー株式会
社内

(72)発明者 萩野 美紀
大阪府大阪市中央区城見2丁目2番6号
富士通関西デジタル・テクノロジー株式会
社内

(72)発明者 森 浩章
大阪府大阪市中央区城見2丁目2番6号
富士通関西デジタル・テクノロジー株式会
社内

- (72) 発明者 大田 俊和
大阪府大阪市中央区城見 2 丁目 2 番 6 号
富士通関西デジタル・テクノロジー株式会
社内
- (72) 発明者 岡 昭彦
神奈川県川崎市中原区上小田中 1 0 1 5 番
地 富士通株式会社内
- (72) 発明者 高津 和央
神奈川県川崎市中原区上小田中 1 0 1 5 番
地 富士通株式会社内
- (72) 発明者 根元 誠幸
神奈川県川崎市中原区上小田中 1 0 1 5 番
地 富士通株式会社内